



**Actividad 4**

**Requisitos:** Presentar el circuito funcionando con las especificaciones requeridas, implementado en una tablilla de conexiones, entregar el reporte completo, a más tardar el **jueves 7 de septiembre de 2017** antes de las **2 P.M.**

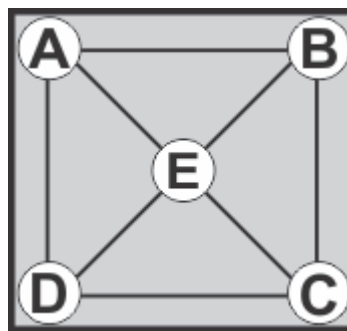
**Criterios de Evaluación:** Circuito, Reporte y Penalización por la entrega fuera de tiempo.

<b>Circuito</b>	Cumple con las especificaciones del diseño propuesto y su presentación es excelente con el cableado ordenado	70%
	Cumple con las especificaciones del diseño propuesto pero desorden y mala apariencia	55%
	Cumple en parte con lo especificado	30%
	Está totalmente implementado pero no funciona.	5%
<b>Reporte</b>	Contiene toda la documentación solicitada, además de la redacción coherente y sin errores ortográficos, Conclusiones bien fundamentadas, las figuras y fotografías claras que incluyen descripción (Nota de pie).	30%
	Reporte incompleto.	10%
	No lo presento.	0%

**Problema a resolver**

Diseñe y construya un prototipo de un sistema electrónico digital binario, de cinco fotoceldas llamadas A, B, C, D y E, que permita identificar en el arreglo mostrado en la figura, por medio de una salida  $S = 1$  solo cuando dos fotoceldas adyacentes están activadas

**nota:** la fotocelda E se considera adyacente a todas las demás.



<p><b>Definición del problema</b></p> <p>↓</p> <p><b>Diagrama de Bloques</b></p> <p>↓</p> <p><b>Tabla de verdad</b></p> <p>↓</p> <p><b>Ecuaciones Miniterminos o Maxiterminos</b></p> <p>↓</p> <p><b>Diagrama Esquemático</b></p> <p>↓</p> <p><b>Simulación</b></p>	<p><b>ispLEVER Starter</b></p> <p>↓</p> <p>Nombre del proyecto SYN</p> <p>↓</p> <p>Location</p> <p>↓</p> <p>Schematic/ABEL</p> <p>↓</p> <p>Dispositivo GAL 16V8ZD, 20V10, 22V12 DIP</p> <p>↓</p> <p>Captura Esquemática Schematic SCH</p> <p>↓</p> <p>Test Vectors, ABV</p> <p>↓</p> <p>Link, Fit y Fuse Map</p> <p>↓</p> <p>Reporte    JEDEC</p>	<p><b>Programación del dispositivo</b></p> <p>↓</p> <p>Seleccionar marca Lattice, Atmel, etc. y no de parte 16V8ZD, 20V10, 22V12</p> <p>↓</p> <p>Borrar</p> <p>↓</p> <p>JEDEC</p> <p>↓</p> <p>Programar</p> <p>↓</p> <p><b>Implementar</b></p>	<p align="center"><b>Etapas de la actividad 4 (Lista de cotejo check List)</b></p> <table border="1"> <tr><td>1</td><td>Conseguir el Material necesario (ver lista)</td><td></td></tr> <tr><td>2</td><td>Software: Descarga, Instalación y licencia</td><td></td></tr> <tr><td>3</td><td>Planteamiento del problema (tabla de Verdad)</td><td></td></tr> <tr><td>4</td><td>Manejo del software y simulación</td><td></td></tr> <tr><td>5</td><td>Programar el dispositivo</td><td></td></tr> <tr><td>6</td><td>Prototipo y verificación del funcionamiento</td><td></td></tr> <tr><td>7</td><td><b>Reporte</b> (ver detalle en la pag siguiente)</td><td></td></tr> <tr><td>8</td><td>Entrega del proyecto y reporte</td><td></td></tr> <tr><td>9</td><td>Envío de archivo ZIP a jagarza48@gmail.com</td><td></td></tr> </table> <p><b>Nota:</b> Para esta actividad no está permitido utilizar como recurso la simplificación de las funciones, o el uso de HDL, el propósito formativo es la implementación directa de los miniterminos o maxiterminos de la función por medio de Captura Esquemática</p>	1	Conseguir el Material necesario (ver lista)		2	Software: Descarga, Instalación y licencia		3	Planteamiento del problema (tabla de Verdad)		4	Manejo del software y simulación		5	Programar el dispositivo		6	Prototipo y verificación del funcionamiento		7	<b>Reporte</b> (ver detalle en la pag siguiente)		8	Entrega del proyecto y reporte		9	Envío de archivo ZIP a jagarza48@gmail.com	
1	Conseguir el Material necesario (ver lista)																													
2	Software: Descarga, Instalación y licencia																													
3	Planteamiento del problema (tabla de Verdad)																													
4	Manejo del software y simulación																													
5	Programar el dispositivo																													
6	Prototipo y verificación del funcionamiento																													
7	<b>Reporte</b> (ver detalle en la pag siguiente)																													
8	Entrega del proyecto y reporte																													
9	Envío de archivo ZIP a jagarza48@gmail.com																													

*No basta saber, se debe también aplicar. No es suficiente querer, se debe también hacer.*

*Johann Wolfgang Goethe (1749-1832) Poeta y dramaturgo alemán.*

## Listado de Material propuesto para el desarrollo de esta actividad

Cantidad	Descripción
10	Resistores de 330 $\Omega$ a 1/4 W
10	Led's de 5 mm económico diferentes colores, ámbar, rojos y verdes
1	Tablilla de conexiones Proto-Board 1 Bloque 2 Tiras
1	Metro de cable para alambrear calibre 24 ó 26
1	DIP Switch deslizable (8 interruptores deslizables)
6	Switch Push Micro NO (interruptor de no retención normalmente abierto)
1	GAL22V10 (LATTICE, ATMEL o CYPRESS) o equivalente
1	Fuente de 5Vcd

## Implementación

Utilizar en la tablilla de conexiones: interruptores y Led's (dip switch o push Micro) como las señales de entrada y Led's como indicadores de los valores de salida.

Se recomienda consultar los videos como guia de aplicación del metodo de esta actividad disponibles en la pagina <http://jagarza.fime.uanl.mx>

## REPORTE

### 1.- Portada

- U.A.N.L. F.I.M.E. (logotipos y nombres) y Nombre del curso
- Número y nombre de la actividad
- Nombre, número de matrícula del Alumno y Programa educativo
- Hora del grupo y número de lista
- Correo electrónico
- Nombre del profesor
- Fecha de elaboración.
- Tiempo estimado que se le dedico a esta actividad (hrs.)

### 2.- Redacción del problema.

### 3.- Diagrama de Bloques (definición de las Entradas y salidas).

### 4.- Tabla de Verdad.

### 5.- Ecuaciones miniterminos o maxiterminos según convenga (SOP o POS).

### 6.- Diagrama esquemático (figura del archivo SCH).

### 7.- Archivo de la simulación ABV (código del archivo).

### 8.- Imagen de la Simulación (captura de pantalla).

### 9.- Ecuaciones mínimas mostradas en el archivo RPT .

### 10. Diagrama de la distribución de terminales (pin out) mostradas en el del archivo RPT.

### 11.- Archivo JED.

### 12.- Foto del circuito que muestre las conexiones con claridad (didácticas, no borrosas, ni artísticas)

### 13.- Bibliografía completa

### 14.-Conclusiones (un reporte sin conclusiones carece de valor)

### 15.- Recomendaciones

Asesorias en la Coordinación de informática (Biblioteca 3<sup>er</sup> piso) en el departamento de revisión de trabajos y proyectos con los becarios, de lunes a viernes de 11:30 a 16:00 hrs o [jagarza48@gmail.com](mailto:jagarza48@gmail.com)

Una vez entregada la actividad 4 y su reporte, para acreditar los puntos es necesario enviar al correo [jagarza48@gmail.com](mailto:jagarza48@gmail.com), los archivos siguientes: Reporte .Doc, esquemático .SCH, Abel Vectors .ABV, Mapa de fusibles .JED. todos comprimidos en formato zip, El nombre del archivo zip, así como el asunto del correo, será la hora y numero de lista ejemplo M3NL2.zip (Hora M3 lista 2), en un plazo no mayor de dos días después de la entrega.

Agosto- Septiembre 2017						
L	M	M	J	V	S	D
7	8	9	10	11	12	13
14	15	16	17	18	19	20
21	22	23	24	25	26	27
28	29	30	31	1	2	3
4	5	6	7			

*“La Universidad educa para transformar  
y se tranforma para Trasender”*

*Ing. Rogelio G. Garza Rivera  
Rector U. A. N. L.*

