



Actividad 4

Requisitos: Presentar el circuito funcionando con las especificaciones requeridas, implementado en una tablilla de conexiones, entregar el reporte completo, a más tardar el **jueves 7 de septiembre de 2017** antes de las **2 P.M.**

Criterios de Evaluación: Circuito, Reporte y Penalización por la entrega fuera de tiempo.

Circuito	Cumple con las especificaciones del diseño propuesto y su presentación es excelente con el cableado ordenado	70%
	Cumple con las especificaciones del diseño propuesto pero desorden y mala apariencia	55%
	Cumple en parte con lo especificado	30%
	Está totalmente implementado pero no funciona.	5%
Reporte	Contiene toda la documentación solicitada, además de la redacción coherente y sin errores ortográficos, Conclusiones bien fundamentadas, las figuras y fotografías claras que incluyen descripción (Nota de pie).	30%
	Reporte incompleto.	10%
	No lo presento.	0%

Problema a resolver

Control de calidad

En una fábrica se producen resistencias en las que se mide el valor de su Resistencia (R), Longitud (L), Espesor (E) y Acabado (A) para determinar si es aceptado o rechazado el producto. Las combinaciones para ser rechazado son:

- a) Resistencia adecuada, pero Longitud y Espesor fuera de especificación.
- b) Resistencia adecuada, pero Longitud fuera de especificación y mal Acabado.
- c) Resistencia, Longitud y Espesor fuera de especificación.
- d) Resistencia fuera de especificación y mal Acabado.
- e) Resistencia y Espesor fuera de especificación y mal Acabado.

Considere el siguiente comportamiento de los sensores de detección de las variables.

Resistencia Adecuada = 1 Fuera de rango = 0

Longitud Adecuada = 1, Fuera de rango = 0

Espesor Adecuado = 1, Fuera de rango = 0

Acabado Aceptable = 1, Defectuoso = 0

Diseñe y construya un prototipo de un sistema electrónico digital binario, que determine por medio de una salida igual a uno cuando el producto es rechazado.

```

graph TD
    subgraph "Definición del problema"
        A[Definición del problema] --> B[Diagrama de Bloques]
        B --> C[Tabla de verdad]
        C --> D[Ecuaciones Minitérminos o Maxitérminos]
        D --> E[Diagrama Esquemático]
    end
    subgraph "ispLEVER Starter"
        F[Nombre del proyecto SYN] --> G[Location]
        G --> H[Schematic/ABEL]
        H --> I[Dispositivo GAL 16V8ZD, 20V10, 22V12 DIP]
        I --> J[Captura Esquemática Schematic SCH]
        J --> K[Test Vectors, ABV]
        K --> L[Link, Fit y Fuse Map]
        L --> M[Reporte]
        L --> N[JEDEC]
    end
    subgraph "Programación del dispositivo"
        O[Seleccionar marca Lattice, Atmel, etc. y no de parte 16V8ZD, 20V10, 22V12] --> P[Borrar]
        P --> Q[JEDEC]
        Q --> R[Programar]
    end
    E --> J
    R --> S[Implementar]
    S --> T[Simulación]
    
```

Etapas de la actividad 4 (Lista de cotejo check List)

1	Conseguir el Material necesario (ver lista)	
2	Software: Descarga, Instalación y licencia	
3	Planteamiento del problema (tabla de Verdad)	
4	Manejo del software y simulación	
5	Programar el dispositivo	
6	Prototipo y verificación del funcionamiento	
7	Reporte (ver detalle en la pag siguiente)	
8	Entrega del proyecto y reporte	
9	Envío de archivo ZIP a jagarza48@gmail.com	

Nota: Para esta actividad no está permitido utilizar como recurso la simplificación de las funciones, o el uso de HDL, el propósito formativo es la implementación directa de los minitérminos o maxitérminos de la función por medio de Captura Esquemática

No basta saber, se debe también aplicar. No es suficiente querer, se debe también hacer.

Johann Wolfgang Goethe (1749-1832) Poeta y dramaturgo alemán.

Listado de Material propuesto para el desarrollo de esta actividad

Cantidad	Descripción
10	Resistores de 330 Ω a 1/4 W
10	Led's de 5 mm económico diferentes colores, ámbar, rojos y verdes
1	Tablilla de conexiones Proto-Board 1 Bloque 2 Tiras
1	Metro de cable para alambrear calibre 24 ó 26
1	DIP Switch deslizable (8 interruptores deslizables)
6	Switch Push Micro NO (interruptor de no retención normalmente abierto)
1	GAL22V10 (LATTICE, ATMEL o CYPRESS) o equivalente
1	Fuente de 5Vcd

Implementación

Utilizar en la tablilla de conexiones: interruptores y Led's (dip switch o push Micro) como las señales de entrada y Led's como indicadores de los valores de salida.

Se recomienda consultar los videos como guia de aplicación del metodo de esta actividad disponibles en la pagina <http://jagarza.fime.uanl.mx>

REPORTE

1.- Portada

- U.A.N.L. F.I.M.E. (logotipos y nombres) y Nombre del curso
- Número y nombre de la actividad
- Nombre, número de matrícula del Alumno y Programa educativo
- Hora del grupo y número de lista
- Correo electrónico
- Nombre del profesor
- Fecha de elaboración.
- Tiempo estimado que se le dedico a esta actividad (hrs.)

2.- Redacción del problema.

3.- Diagrama de Bloques (definición de las Entradas y salidas).

4.- Tabla de Verdad.

5.- Ecuaciones miniterminos o maxiterminos según convenga (SOP o POS).

6.- Diagrama esquemático (figura del archivo SCH).

7.- Archivo de la simulación ABV (código del archivo).

8.- Imagen de la Simulación (captura de pantalla).

9.- Ecuaciones mínimas mostradas en el archivo RPT .

10. Diagrama de la distribución de terminales (pin out) mostradas en el del archivo RPT.

11.- Archivo JED.

12.- Foto del circuito que muestre las conexiones con claridad (didácticas, no borrosas, ni artísticas)

13.- Bibliografía completa

14.-Conclusiones (un reporte sin conclusiones carece de valor)

15.- Recomendaciones

Asesorias en la Coordinación de informática (Biblioteca 3^{er} piso) en el departamento de revisión de trabajos y proyectos con los becarios, de lunes a viernes de 11:30 a 16:00 hrs o jagarza48@gmail.com

Una vez entregada la actividad 4 y su reporte, para acreditar los puntos es necesario enviar al correo jagarza48@gmail.com, los archivos siguientes: Reporte .Doc, esquemático .SCH, Abel Vectors .ABV, Mapa de fusibles .JED. todos comprimidos en formato zip, El nombre del archivo zip, así como el asunto del correo, será la hora y numero de lista ejemplo M1NL2.zip (Hora M1 lista 2), en un plazo no mayor de dos días después de la entrega.

Agosto- Septiembre 2017						
L	M	M	J	V	S	D
7	8	9	10	11	12	13
14	15	16	17	18	19	20
21	22	23	24	25	26	27
28	29	30	31	1	2	3
4	5	6	7			

*“La Universidad educa para transformar
y se tranforma para Trasender”*

*Ing. Rogelio G. Garza Rivera
Rector U. A. N. L.*

