



Universidad Autónoma de Nuevo León, Facultad de Ingeniería Mecánica y Eléctrica  
Laboratorio de Electrónica Digital 1, Jueves M1, Ene-Jun 2020  
Prácticas y archivos y documentos entregables Google Classroom



NI	PE	Matricula	Nombre		Código GC	
					<b>v3674c</b>	
	Descripción	Fecha	Fecha de entrega		Entregado el:	Firma
			Reporte en Google Classroom	Prototipo (P)		
P1	Introducción al Laboratorio	30/01/2020	Martes 4 de Feb.	Martes 4 de Feb.		
P2	Operadores Lógicos Implementacion con TTL	06/02/2020	Martes 11 de Feb.	Martes 11 de Feb.		
P3	Captura Esquemática	13/02/2020	Martes 18 de Feb.	Martes 18 de Feb.		
P4	Simulación y Captura Esquemática	20/02/2020	Martes 25 de Feb.	Martes 25 de Feb.		
P5	Minimización de Funciones Booleanas	27/02/2020	Martes 24 de Mar.	Martes 24 de Mar.		
P6	Lenguaje de descripción de Hardware ABEL-HDL, Diseño Combinacional	26/03/2020	Martes 31 de Mar.	Martes 31 de Mar.		
P7	Decodificador de BCD a 7 Segmentos,	02/04/2020	Martes 21 de Abr.	Martes 21 de Abr.		
P8	FLIP-FLOP R.S y Eliminador de rebotes	23/04/2020	Martes 28 de Abril.	Martes 28 de Abril.		
P9	Sistema secuencial síncrono	30/04/2020	Miércoles, 20 de Mayo	Miércoles, 20 de Mayo		
PF	Proyecto Final	07/05/2020				

GC= Google classroom, B= becarios, P = Profesor.

Para el registro y la carga de documentos en GC consultar videos de la página <http://jagarza.fime.uanl.mx/general/paginas/Videosclase.htm>



Universidad Autónoma de Nuevo León, Facultad de Ingeniería Mecánica y Eléctrica  
Laboratorio de Electrónica Digital 1, Jueves M1, Ene-Jun 2020  
Prácticas y archivos y documentos entregables Google Classroom



	Descripción	ZIP o RAR	PDF	SCH	ABV	ABL	JED	Animación	PROTEUS
P1	Introducción al laboratorio	√	√					√	
P2	Operadores lógicos con dispositivos de función fija TTL	√	√					√	√
P3	Captura Esquemática	√	√	√	√		√	√	√
P4	Sistemas Digitales	√	√	√	√		√	√	√
P5	Minimización de funciones booleanas	√	√			√	√	√	√
P6	Diseño Combinacional	√	√			√	√	√	√
P7	Decodificador de BCD a siete Segmentos	√	√			√	√	√	√
P8	Generadores de pulsos para la sincronía de los Flip Flops	√	√			√	√		√
P9	Diseño Secuencial Síncrono	√	√			√	√	√	√
PF									

**Comprimir los Archivos entregables en un ZIP o RAR: Reporte en Word (PDF), Captura Esquemática (SCH), Código Abel Vectors (ABV), Código ABEL-HDL Module (ABL), Mapa de fusibles (JED), PROTEUS (PDSRJR), Animación (GIF o MP4), lo que está dentro del paréntesis es la extensión del archivo. Nota: el archivo Zip o RAR deberá de llevar como nombre Día, Hora y número de lista ejemplo MM1NL5.zip (Día Martes, hora MM1 NI 5).**