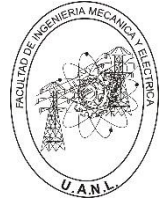


P1 – 2023

**Universidad Autónoma de Nuevo León  
Facultad de Ingeniería Mecánica y Eléctrica**

**Coordinación General de Ingeniería Electrónica**

**Laboratorio de Electrónica Digital I  
Sesión 6**



Hora	PE	NL	Mat	Apellidos	Nombre
<b>MM1</b>	<b>IEA</b>	<b>1</b>	<b>1965322</b>	<b>Alvarado Moreno</b>	<b>Jose Yahir</b>

**Diseño de sistemas combinatoriales**

**Propósito: Comprensión, análisis y aplicación del método de Diseño de sistemas combinatoriales, mediante el diseño, la simulación y construcción de un prototipo**

**Método del diseño combinatorial con HDL**

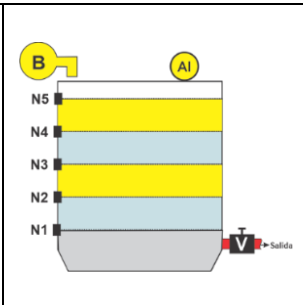
- 1.- Especificar el sistema.
- 2.- Determinar entradas y salidas (Diagrama de Bloques).
- 3.- Trasladar el comportamiento a una tabla de verdad.  
Representar la ecuación en sus formas canónicas SOP  $\Sigma$  y POS  $\Pi$
- 4.- Ecuaciones Mínimas
- 5.- Simulación.
- 6.- Construcción del prototipo

3.- Trasladar el comportamiento a una tabla de verdad. Representar la ecuación en sus formas canónicas SOP $\Sigma$ y POS $\Pi$	<b>Código ABEL-HDL</b>
4.- Ecuaciones Mínimas	

**1.- Especificar el sistema Problema propuesto:**

Diseñe, efectúe la simulación y construya un prototipo de un sistema digital binario, para el sistema de alarma en el proceso de llenado de un tanque que contiene sustancias peligrosas.

Dicho tanque cuenta con 5 sensores de nivel llamados N5, N4, N3, N2 y N1, en donde el sensor N5 es el de la parte superior del tanque y N1 el de la parte inferior como lo muestra la figura.



La salida de los sensores de nivel con valor igual a 1 indica que están igual nivel o por encima del sensor y el valor de 0 cuando el nivel está por debajo del sensor.

El tanque es llenado por una bomba (B) y como seguridad del sistema se requiere de una salida de alarma (AL), de manera que esté este encendida (AL=1):

- a) Cuando el tanque esté vacío
- b) O también cuando se detecte un error en los sensores, como un nivel superior igual a 1 y un nivel inferior igual a cero.

**2.- Determinar entradas y salidas (Dibujo del Diagrama de Bloques).**

### 3.- Trasladar el comportamiento del sistema a una Tabla de verdad

m	N5	N4	N3	N2	N1	S	AL
0	0	0	0	0	0	0	
1	0	0	0	0	1	1	
2	0	0	0	1	0	1	
3	0	0	0	1	1	2	
4	0	0	1	0	0	1	
5	0	0	1	0	1	2	
6	0	0	1	1	0	2	
7	0	0	1	1	1	3	
8	0	1	0	0	0	1	
9	0	1	0	0	1	2	
10	0	1	0	1	0	2	
11	0	1	0	1	1	3	
12	0	1	1	0	0	2	
13	0	1	1	0	1	3	
14	0	1	1	1	0	3	
15	0	1	1	1	1	4	
16	1	0	0	0	0	1	
17	1	0	0	0	1	2	
18	1	0	0	1	0	2	
19	1	0	0	1	1	3	
20	1	0	1	0	0	2	
21	1	0	1	0	1	3	
22	1	0	1	1	0	3	
23	1	0	1	1	1	4	
24	1	1	0	0	0	2	
25	1	1	0	0	1	3	
26	1	1	0	1	0	3	
27	1	1	0	1	1	4	
28	1	1	1	0	0	3	
29	1	1	1	0	1	4	
30	1	1	1	1	0	4	
31	1	1	1	1	1	5	

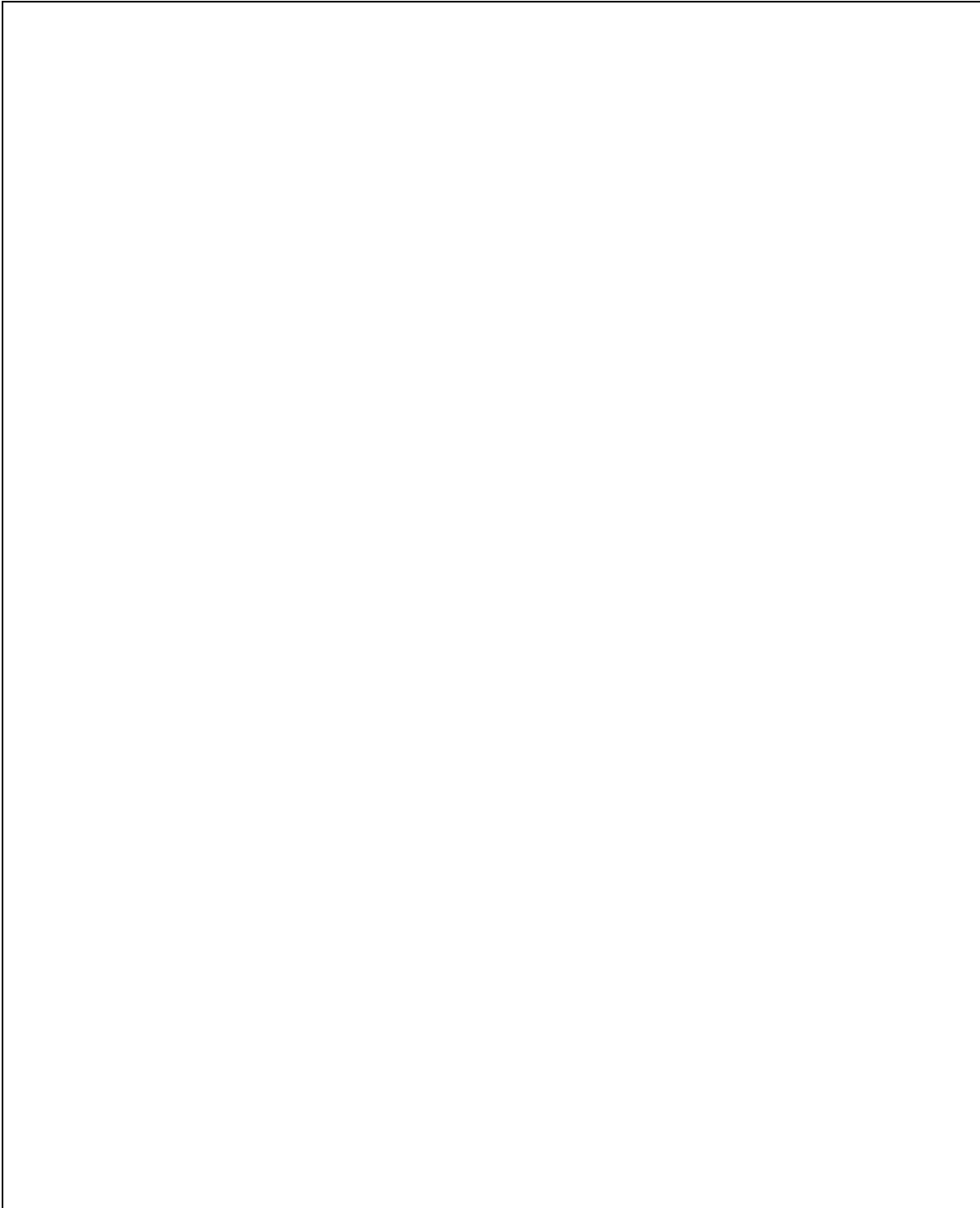
#### Formas canónicas

		No de Combinaciones		
$F_{(N5, N4, N3, N2, N1)} =$	$\Sigma$		SOP	1
$F_{(N5, N4, N3, N2, N1)} =$	$\Pi$		POS	0

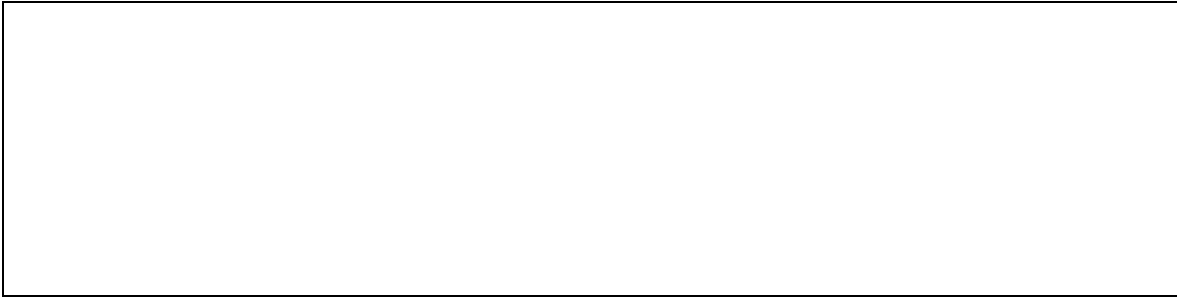
#### 4.- Ecuaciones Mínimas usando LogicAid

		Ecuaciones	Inputs	Gates	
$F_{(N5, N4, N3, N2, N1)} =$					SOP
$F_{(N5, N4, N3, N2, N1)} =$					POS

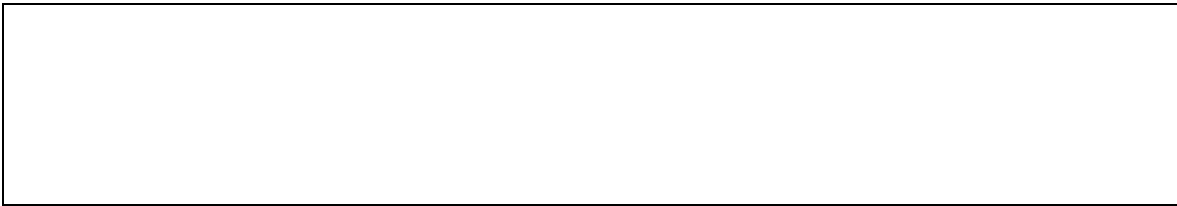
**Código ABEL-HDL Ecuaciones Mínimas o Tabla de verdad, incluyendo Test\_vectors**

A large, empty rectangular box with a thin black border, occupying most of the page. It is intended for the user to provide the code or truth table as specified in the header.

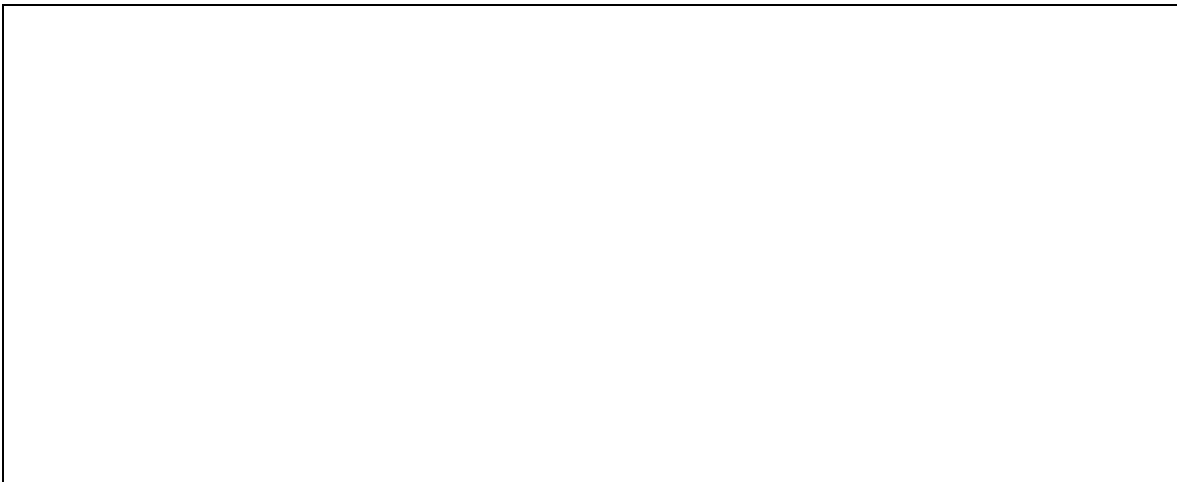
**Imagen de la simulación Test\_vectors**



**Distribución de terminales PIN OUT**



**Imagen del diagrama esquemático en PROTEUS**



**Foto del prototipo armado**



Para la realización de este proyecto formativo se te recomienda consultar los videos siguientes

DC1	<a href="https://www.youtube.com/watch?v=HgHd7P8XYRs&amp;t=205s">https://www.youtube.com/watch?v=HgHd7P8XYRs&amp;t=205s</a>	
2	<a href="https://www.youtube.com/watch?v=kISqs3H4ADA&amp;t=17s">https://www.youtube.com/watch?v=kISqs3H4ADA&amp;t=17s</a>	
DC3	<a href="https://www.youtube.com/watch?v=ym4stKMx_5Y&amp;t=6s">https://www.youtube.com/watch?v=ym4stKMx_5Y&amp;t=6s</a>	

### Reporte sesión 6 (lista de Cotejo, Check List)

1	Portada con datos completos.
2	Redacción del problema propuesto
3.	Diagrama de Bloques
4	Tabla de verdad
5	Las ecuaciones SOP y POS en la forma Canónica
6	Ecuaciones mínimas indicando el numero de entradas y el numero de compuertas
7	El código ABEL-HDL Truth_Table o Ecuaciones incluyendo el test_vectors en el mismo código.
8	Imagen de la simulación (Test Vectors).
9	Las ecuaciones mínimas del archivo reporte (RPT).
10	La distribución de terminales (Pin Out) del archivo reporte (RPT).
11	Imagen de la simulación del Test_vectors
8	Imagen del circuito en PROTEUS (usando como entradas y salidas botones, resistencias y Led's)
9	Foto del prototipo
10	Conclusiones
11	Recomendaciones

**Subir los archivos entregables a Google classroom, antes de la fecha solicitada**

Archivos entregables en Zip o RAR	PDF	ABL	JED	Animación	PROTEUS
-----------------------------------	-----	-----	-----	-----------	---------

Una vez cumplido lo anterior es necesario agendar y efectuar la entrevista presencial para presentar el prototipo funcionando correctamente, así como explicar los procedimientos y resultados obtenidos en forma oral y escrita.

**“Una mente adaptativa tiene una mejor capacidad de aprendizaje”.**

***Pearl Zhu***