

Laboratorio de sistemas electrónicos digitales

(modalidad presencial)

Teoría y Práctica

Autores: *Juan Angel Garza Garza, Dra. Norma Patricia Puente Ramírez e M. C. Jesús Daniel Garza Camarena.*

Primera edición, Febrero 2023

©Universidad Autónoma de Nuevo León

Facultad de Ingeniería Mecánica y Eléctrica

Pedro de Alba S/N

Cd. Universitaria

San Nicolás de los Garza N.L.

México Cp 66450

<http://WWW.FIME.UANL.MX>

Tel. (0181) 83294020 Ext. 5921

Email: jagarza@uanl.mx

<http://jagarza.fime.uanl.mx/>

Impreso en FIME UANL México

ISBN: En trámite

Contenido

Sesión 4.....	3
Sistemas Digitales Binarios	3
Objetivos particulares.....	3
Elementos de competencia.	3
Fundamento Teórico.....	5
Obtención del circuito a partir de la ecuación.....	6
Tabla de Verdad	8
Actividad de aprendizaje.....	11
<i>Trabajo solicitado</i>	21
Ecuaciones propuestas.....	22
Reporte (lista de Cotejo, Check List)	23

Sesión 4

Sistemas Digitales Binarios

Objetivos particulares

Durante el desarrollo de esta sesión, el estudiante aplicará un método para obtener las diferentes representaciones de los sistemas digitales binarios, tales como: Función Booleana, Tabla de Verdad, Diagrama Esquemático y la Simulación en un programa de aplicación.

Elementos de competencia.

Obtener los circuitos partiendo de las ecuaciones F1 SOP (And/Or) y F2 POS (Or/And) proporcionadas por el instructor. **Ecuación → Circuito**

Obtener la tabla de verdad para F1 y F2 por el método analítico explicado en este capítulo. **Circuito → Tabla de verdad**

Crear un nuevo proyecto utilizando el programa de ispLEVER Starter o el ispLEVER Classic. **Circuito → Captura esquemática**

Crear una nueva fuente (New Source) implementando las funciones F1 y F2, por medio de la captura esquemática (Schematic).

Comprobar la tabla de verdad por medio de la creación de una nueva fuente ABEL Test Vector para obtener la simulación de las funciones F1 y F2. **Captura esquemática → Simulación.**

Utilizar el programa PROTEUS para efectuar la simulación utilizando el PLD AM22V10 cargando el archivo JEDEC generado anteriormente.

Comunicar el procedimiento y los resultados obtenidos en forma oral y por medio de un reporte escrito y los archivos entregables solicitados.

Instrucciones del procedimiento en el siguiente video:

https://www.youtube.com/watch?v=GdWRZJd0oiw&t=10s&ab_channel=JuanAngelGarzaGarza

Material a utilizar

Programas de aplicación (software):

IspLEVER Classic

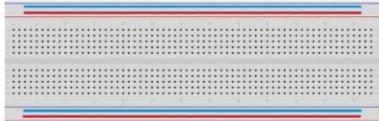
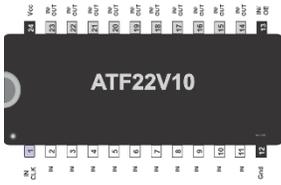
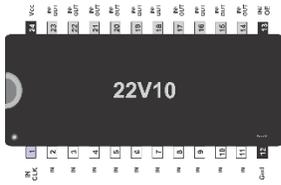
Microsoft Word (reporte)

Proteus

ScreenToGif

Microsoft Word (reporte)

Recortes (Windows XP o Windows 7)

Cant.	descripción	imagen
1	Una fuente de alimentación de cinco volts	
9	Resistores de 330 Ω a 1/4 W	
9	Led's de 5 mm económico diferentes colores, ámbar, Azul, rojos y verdes.	
1	Tablilla de conexiones (Proto-Board) 1 Bloque 2 Tiras 830 puntos	
1	DIP Switch deslizable (4 o 8 interruptores deslizables) tipo TTL	
4	Switch Push Micro NO (interruptor de no retención normalmente abierto)	
1	Cables diferentes tamaños ya listos para alambrear	
1	Dispositivo Logico Programable (PLD) 22V10	
		
		Microchip
		Lattice

Fundamento Teórico.

Sistema digital binario

Un sistema digital binario es un conjunto de dispositivos destinados a la generación, transmisión, procesamiento o almacenamiento de señales digitales. Para el análisis, síntesis e implementación de los circuitos digitales, se utiliza como herramienta el álgebra de Boole con sus operadores lógicos (AND, OR y NOT).

Los sistemas digitales se pueden clasificar en:

Sistemas digitales combinacionales: Aquellos cuyas salidas solo dependen del estado de sus entradas en un momento dado. Por lo tanto, no necesitan módulos de memoria, ya que las salidas no dependen de los estados previos de las entradas.

Sistemas digitales secuenciales: Aquellos cuyas salidas dependen además del estado de sus entradas en un momento dado, de estados previos. Esta clase de sistemas necesitan elementos de memoria que recojan la información de la 'historia pasada' del sistema.

Los elementos con los que contamos para describir un Sistema Digital binario son:

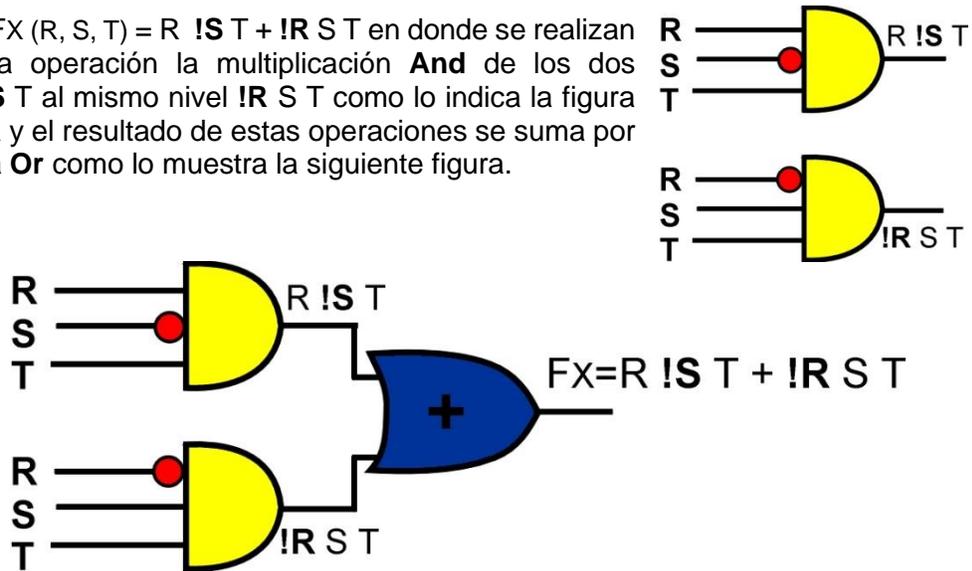
Descripción verbal	Descripción con palabras del comportamiento de un sistema, Utilizando alternativas (o) y/o Condiciones (y)
Circuito o Diagrama Esquemático.	Representación gráfica de una expresión Booleana a través de la interconexión de símbolos que corresponden a los operadores lógicos.
Ecuación.	Representación matemática de una función booleana.
Tabla de verdad.	Representación tabular de los valores de salida del sistema, para cada una de las posibles combinaciones de entrada.
Diagrama de Tiempos	Representación gráfica por niveles de los valores de entrada y salidas del sistema.

Obtención del circuito a partir de la ecuación.

Partiendo de una ecuación Booleana es posible obtener su circuito o diagrama esquemático por el orden de sus operaciones.

Ejemplo 1:

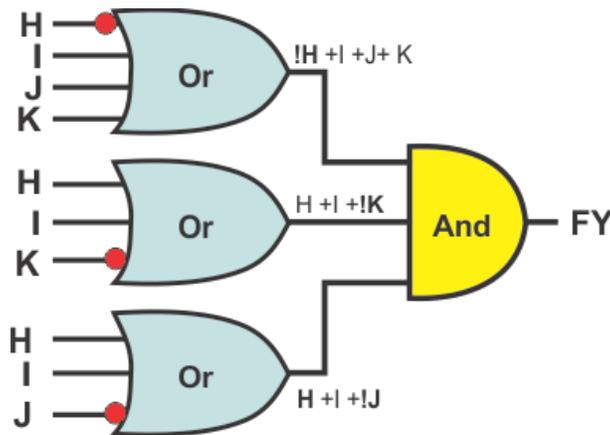
La ecuación $F_X(R, S, T) = R \cdot \bar{S} \cdot T + \bar{R} \cdot S \cdot T$ en donde se realizan como primera operación la multiplicación **And** de los dos términos $R \cdot \bar{S} \cdot T$ al mismo nivel $\bar{R} \cdot S \cdot T$ como lo indica la figura de la derecha y el resultado de estas operaciones se suma por medio de una **Or** como lo muestra la siguiente figura.



A este formato se le conoce como la suma de los productos **SOP** o And/Or

Ejemplo 2 :

La ecuación $F_Y(H, I, J, K) = (\bar{H} + I + J + K)(H + \bar{I} + K)(H + I + \bar{J})$, en donde se realiza como primera operación la Or que está dentro del paréntesis representada por tres términos $(\bar{H} + I + J + K)$, al mismo nivel $(H + \bar{I} + K)$ y $(H + I + \bar{J})$ y el resultado de estas operaciones se multiplica por medio de una **And** como lo muestra la siguiente figura.

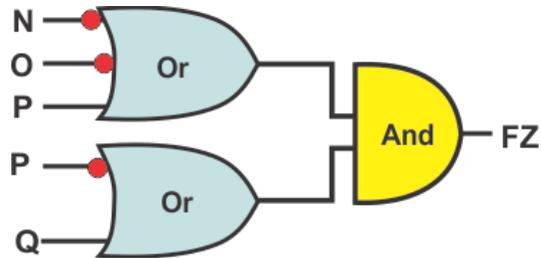


A este formato se le conoce como el producto de las sumas **POS** o Or/And.

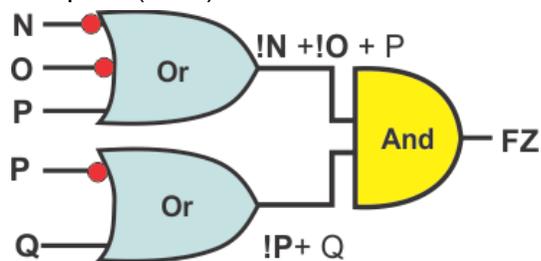
Obtención de la ecuación a partir del circuito.

Para obtener la ecuación a partir del circuito es recomendable, describir cada una de las operaciones del circuito en el orden de izquierda a derecha.

Ejemplo1:

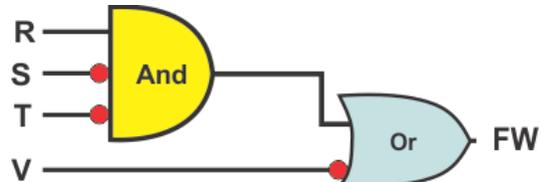


La primera operación que se realiza en este circuito son las OR que están al mismo nivel y el resultado de estas se multiplica (AND).

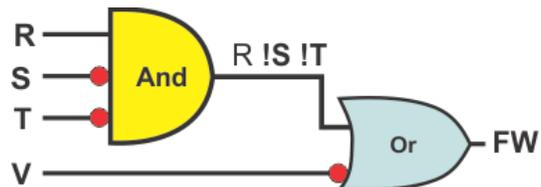


$$FZ = (!N + !O + P)(!P + Q)$$

Ejemplo 2:



La primera operación que se efectúa es la And de R, S y T y después la suma (OR) con V:

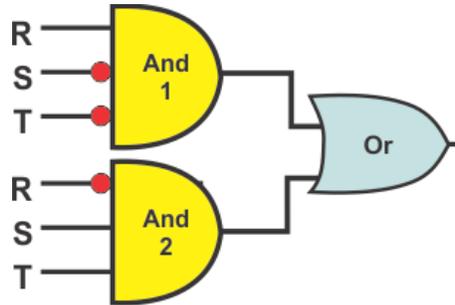


$$FW = R !S !T + !V$$

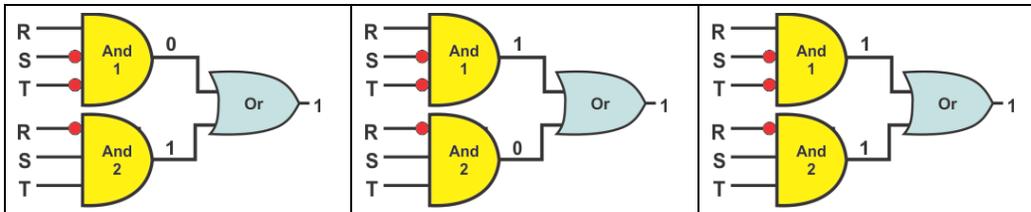
Tabla de Verdad

Para obtener la tabla de verdad partiendo de un circuito, se proponen dos opciones, la primera consiste en dar valores a las entradas probando una a una todas las posibles combinaciones y obtener el valor de salida para cada una de ellas lo cual sería un método muy largo para el caso de múltiples entradas.

La segunda opción es un método que consiste en suponer un valor conveniente de salida y verificar que combinaciones de entrada cumplen con el valor propuesto.



Por ejemplo, en este circuito mostrado en la figura anterior, que termina en OR conviene suponer un valor de **uno** a la salida de la **Or** esto nos da una alternativa ya que cualquier entrada igual a uno en la operación Or produce una salida uno (una, otra o ambas), eso nos permite analizar por separado cada una de las entradas de la Or y determinar las combinaciones de R, S y T para las And 1 y la And 2 de cumplen con los valores para generar un uno.



Analizada la salida de la And de arriba, la salida es uno solo cuando todas sus entradas son uno entonces **R=1, S=0 y T=1**, esto se presenta en la combinación 5 de la tabla de verdad (m=5).

En la And de abajo la salida es uno cuando todas sus entradas son uno **R=0, S=1 y T=1**, esto se presenta en la combinación 3 de la tabla de verdad (m=3), todas las demás combinaciones serán igual a cero.

Tabla de Verdad de la Función Fx

M	R S T	Fx
0	0 0 0	0
1	0 0 1	0
2	0 1 0	0
3	0 1 1	1
4	1 0 0	0
5	1 0 1	1
6	1 1 0	0
7	1 1 1	0
15	1 1 1	0

Ejemplo: En el caso que se necesite primero efectuar la operación **Or** suma antes que la **And** producto, al igual que en el álgebra se hace uso de paréntesis para indicar la prioridad como se muestra en la siguiente función FY.

$$F_{Y(K,L,M)} = (K + !L + M) (!K + L + !M)$$

En donde la operación OR ($K + !L + M$) se realiza primero y al mismo nivel la operación Or ($!K + L + !M$) como lo muestra la figura a la derecha, posteriormente con la salida de estas dos se realiza la operación And. Como lo muestra la siguiente figura:

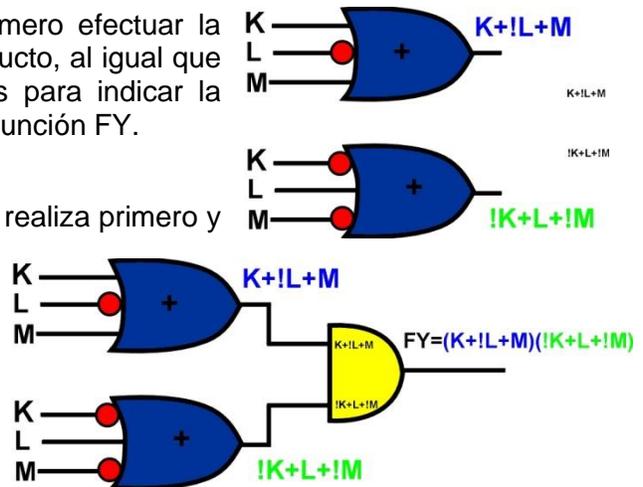


Tabla de Verdad

Para obtener la tabla de verdad de este circuito se puede suponer un valor de **cero** a la salida de la **And** esto nos da una alternativa ya que cualquier entrada cero en la operación And produce una salida cero (una, otra o ambas).

Analizada la salida de la Or de arriba la salida es cero solo cuando todas sus entradas son cero entonces **K=0, L=1 y M=0**, esto se presenta en la combinación 2 de la tabla de verdad (m=2).

En la Or de abajo la salida es cero solo cuando todas sus entradas son cero entonces **K=1, L=0 y M=1**, esto se presenta en la combinación 5 de la tabla de verdad (m=5), en la tabla de verdad, todas las salidas para las demás combinaciones serán igual a uno.

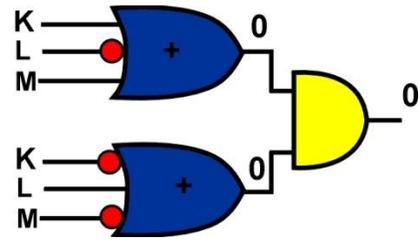


Tabla de verdad para la función Fy

M	K L M	Fy
0	0 0 0	1
1	0 0 1	1
2	0 1 0	0
3	0 1 1	1
4	1 0 0	1
5	1 0 1	0
6	1 1 0	1
7	1 1 1	1

Actividad de aprendizaje

Con las Funciones asignadas por el maestro (revisar página web <https://jagarza.fime.uanl.mx/general/paginas/Laboratorio.htm> en la sesión 4 de laboratorio el día y hora correspondiente) efectué el siguiente procedimiento

- 1.- Dibuje el circuito correspondiente para las funciones F1 y F2 asignadas para la sesión 4 en la página <http://jagarza.fime.uanl.mx/general/paginas/Laboratorio.htm>.
- 2.- Obtenga los valores de las salidas F1 y F2 representándolos en una Tabla de Verdad en forma analítica partiendo del circuito.
- 3.- Capture con el programa de aplicación IspStarter en el módulo de captura esquemática, las funciones F1 y F2 Asignadas indicando las terminales de entrada y salida más convenientes.
- 4.- Obtenga el diagrama de tiempos por medio del archivo Test_Vectors y compare los resultados obtenidos con la tabla de verdad del paso 2
- 5.- Si la tabla de verdad coincide con el diagrama de tiempos, programe un Dispositivo Lógico programable y construya un prototipo.
- 6.- Compruebe físicamente todas las combinaciones con la tabla de verdad y el diagrama de tiempos.
- 7.- Construya el prototipo
- 8.- Elabore su reporte

A	1	24	VCC	m	A	B	C	D	F1	F2
D	2	23	F1	0	0	0	0	0		
C	3	22		1	0	0	0	1		
B	4	21		2	0	0	1	0		
	5	20		3	0	0	1	1		
	6	19		4	0	1	0	0		
	7	18		5	0	1	0	1		
	8	17		6	0	1	1	0		
	9	16		7	0	1	1	1		
	10	15		8	1	0	0	0		
	11	14	!F2	9	1	0	0	1		
GND	12	13		10	1	0	1	0		
				11	1	0	1	1		
				12	1	1	0	0		
				13	1	1	0	1		
				14	1	1	1	0		
				15	1	1	1	1		

Es muy probable que la asignación de terminales realizada por el programa IspStarter no estén en el mismo orden de la tabla de verdad como lo muestra la figura, por lo que se recomienda al efectuar las conexiones en el proto alambrear los interruptores o dip swich en el mismo orden de la tabla de verdad, de modo que al comprobar la tabla con el circuito las combinaciones de entrada coincidan y así observar los valores de salida

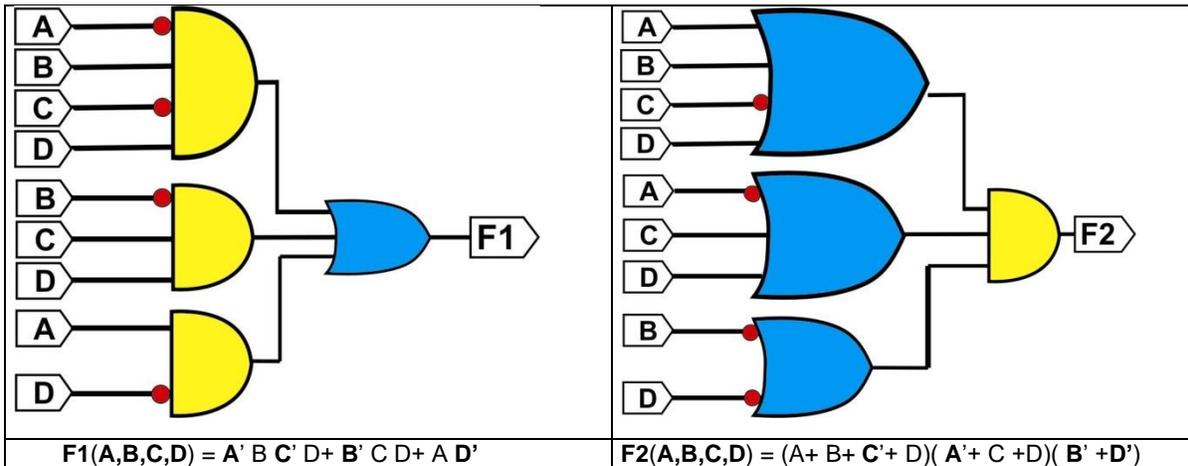
Ejemplo, obtenga para F1 y F2:

- La Tabla de Verdad en forma analítica.
- La Tabla de Verdad de la implementación del circuito.
- El diagrama de tiempos usando el archivo TEST_VECTORS.

Funciones: $F1(A, B, C, D) = A' B C' D + B' C D + A D'$

$F2(A, B, C, D) = (A + B + C' + D) (A' + C + D) (B' + D')$

Dibuje el circuito de F1 y F2



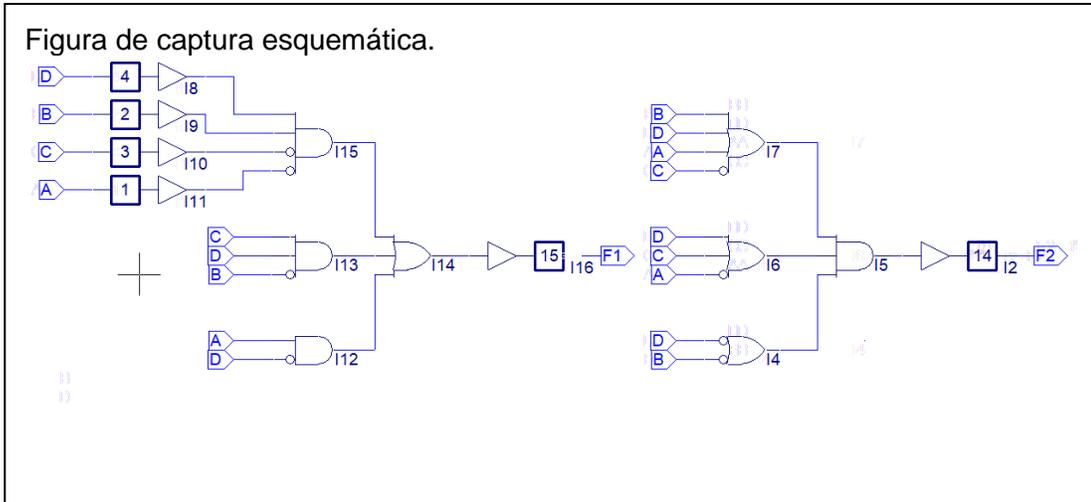
Obtenga la Tabla de Verdad mediante el análisis de F1 y F2

m	A B C D	F1		F2	
0	0 0 0 0	0		1	
1	0 0 0 1	0		1	
2	0 0 1 0	0		0	$A + B + C + D$
3	0 0 1 1	1	$B' C D$	1	
4	0 1 0 0	0			
5	0 1 0 1	1	$A' B C' D$	0	$B' + D'$
6	0 1 1 0	0		1	
7	0 1 1 1	0		0	$B' + D'$
8	1 0 0 0	1	$A D'$	0	$A' + C + D$
9	1 0 0 1	0		1	
10	1 0 1 0	1	$A D'$	1	
11	1 0 1 1	1	$B' C D$	1	
12	1 1 0 0	1	$A D'$	0	$A' + C + D$
13	1 1 0 1	0		0	$B' + D'$
14	1 1 1 0	1	$A D'$	1	
15	1 1 1 1	0		0	$B' + D'$

Tabla de Verdad obtenida en forma analítica.

m	A B C D	F1	F2
0	0 0 0 0	0	1
1	0 0 0 1	0	1
2	0 0 1 0	0	0
3	0 0 1 1	1	1
4	0 1 0 0	0	
5	0 1 0 1	1	0
6	0 1 1 0	0	1
7	0 1 1 1	0	0
8	1 0 0 0	1	0
9	1 0 0 1	0	1
10	1 0 1 0	1	1
11	1 0 1 1	1	1
12	1 1 0 0	1	0
13	1 1 0 1	0	0
14	1 1 1 0	1	1
15	1 1 1 1	0	0

Programe las funciones F1 y F2 en el circuito integrado GAL22V10D por medio de captura esquemática.




```

“ ENTRADAS
  A,B,C,D PIN;
“SALIDAS
  F1, F2 PIN ISTYPE'COM';
TEST_VECTORS
([A,B,C, D]-> [F1,F2])
[0,0,0,0]->[.x.,.x.];
[0,0,0,1]->[.x.,.x.];
[0,0,1,0]->[.x.,.x.];
[0,0,1,1]->[.x.,.x.];
[0,1,0,0]->[.x.,.x.];
[0,1,0,1]->[.x.,.x.];
[0,1,1,0]->[.x.,.x.];
[0,1,1,1]->[.x.,.x.];
[1,0,0,0]->[.x.,.x.];
[1,0,0,1]->[.x.,.x.];
[1,0,1,0]->[.x.,.x.];
[1,0,1,1]->[.x.,.x.];
[1,1,0,0]->[.x.,.x.];
[1,1,0,1]->[.x.,.x.];
[1,1,1,0]->[.x.,.x.];
[1,1,1,1]->[.x.,.x.];
End

```

```

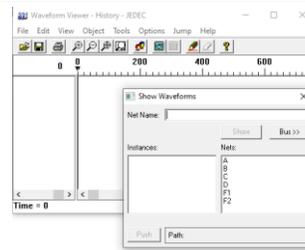
Text Editor - [f12.abv]
File Edit View Templates Tools Options Window Help
Module F1
" ENTRADAS
  A,B,C,D PIN;
"SALIDAS
  F1, F2 PIN ISTYPE'COM';
test_vectors
([A,B,C, D]-> [F1,F2])
[0,0,0,0]->[.x.,.X.];
[0,0,0,1]->[.x.,.X.];
[0,0,1,0]->[.x.,.X.];
[0,0,1,1]->[.x.,.X.];
[0,1,0,0]->[.x.,.X.];
[0,1,0,1]->[.x.,.X.];
[0,1,1,0]->[.x.,.X.];
[0,1,1,1]->[.x.,.X.];
[1,0,0,0]->[.x.,.X.];
[1,0,0,1]->[.x.,.X.];
[1,0,1,0]->[.x.,.X.];
[1,0,1,1]->[.x.,.X.];
[1,1,0,0]->[.x.,.X.];
[1,1,0,1]->[.x.,.X.];
[1,1,1,0]->[.x.,.X.];
[1,1,1,1]->[.x.,.X.];
end
Ln 25 Col 1    25 # WR    Rec Off No Wrap DOS INS

```

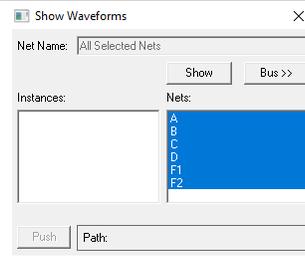
4.-Compile el archivo Test Vectors.

<p>Regrese al programa <i>Project Navigator</i> en donde aparecerá incluido el archivo <i>prac4.ABV</i>.</p>	
<p>Seleccione en la ventana <i>sources in projet</i> la opcion de <i>pcuatro.ABV</i>.</p>	
<p>En la ventana de <i>processes for current source</i> seleccione la opcion de <i>JEDEC simulation Waveform</i></p>	
<p>En el programa <i>Waveform Viewer</i> aparecerá una nueva pantalla,</p>	

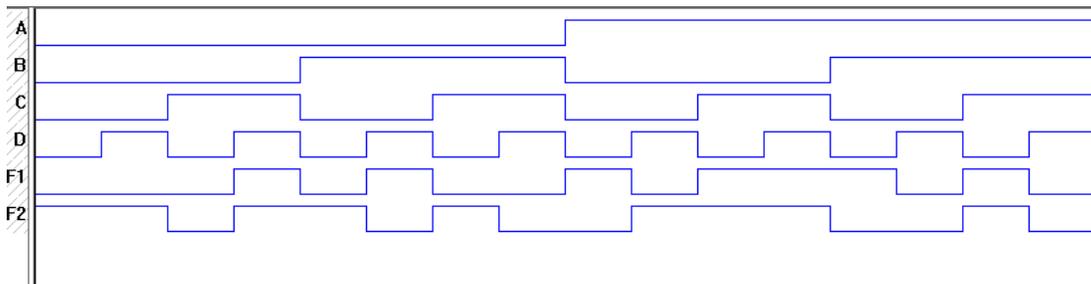
En la parte superior de la ventana seleccione Edit y después SHOW.
Y aparecerá la ventana de Show Waveforms



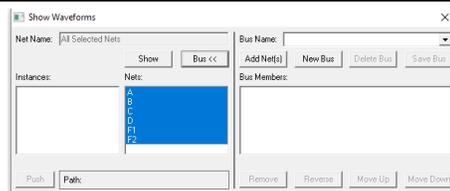
Selecciones todas las variables y oprima Show



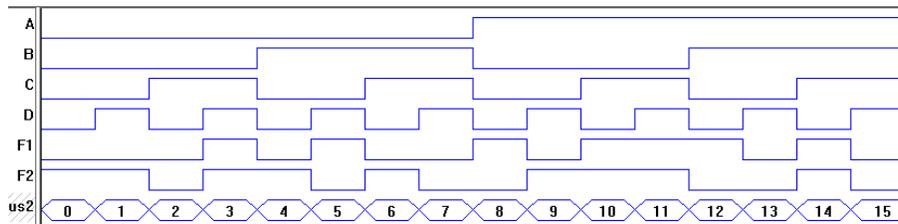
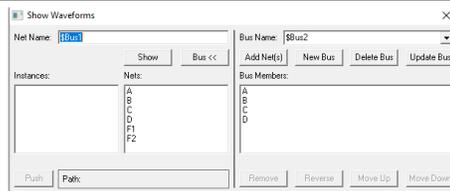
aparecerá la gráfica de la simulación de los valores de entradas A, B, C Y D y las salidas F1 y F2, en el orden que se seleccionaron las variables.



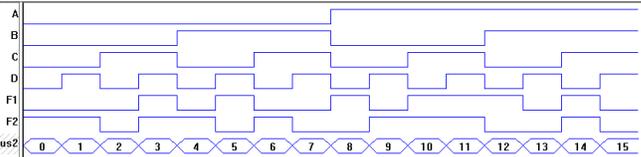
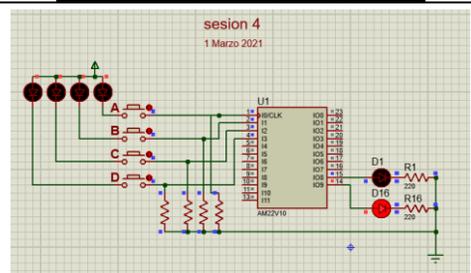
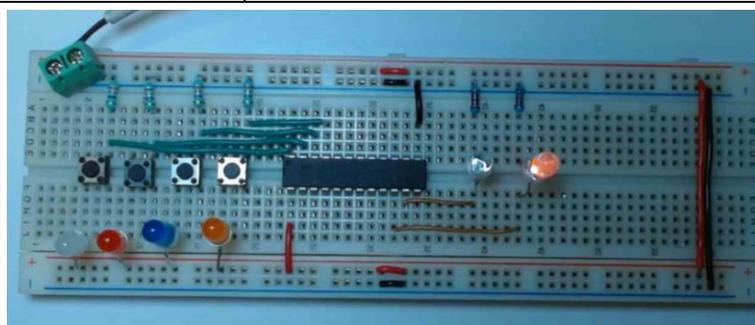
Para una mejor comparación de la gráfica con la tabla de verdad se puede generar un BUS.



En la ventana de la derecha seleccione Add Net(s), Asegúrese que solo estén las variables de entrada y se encuentren en el orden correcto y presione Save Bus posteriormente en la ventana izquierda Show



compare la gráfica anterior con la tabla de verdad.

Diagrama de Tiempos	Tabla de verdad																																																																				
	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="padding: 5px;">m</th> <th style="padding: 5px;">A B C D</th> <th style="padding: 5px;">F1</th> <th style="padding: 5px;">F2</th> </tr> </thead> <tbody> <tr><td style="padding: 5px;">0</td><td style="padding: 5px;">0 0 0 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;">0 0 0 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">2</td><td style="padding: 5px;">0 0 1 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">3</td><td style="padding: 5px;">0 0 1 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">4</td><td style="padding: 5px;">0 1 0 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">5</td><td style="padding: 5px;">0 1 0 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">6</td><td style="padding: 5px;">0 1 1 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">7</td><td style="padding: 5px;">0 1 1 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">8</td><td style="padding: 5px;">1 0 0 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">9</td><td style="padding: 5px;">1 0 0 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">10</td><td style="padding: 5px;">1 0 1 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">11</td><td style="padding: 5px;">1 0 1 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">12</td><td style="padding: 5px;">1 1 0 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">13</td><td style="padding: 5px;">1 1 0 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">14</td><td style="padding: 5px;">1 1 1 0</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;">15</td><td style="padding: 5px;">1 1 1 1</td><td style="padding: 5px;"></td><td style="padding: 5px;"></td></tr> </tbody> </table>	m	A B C D	F1	F2	0	0 0 0 0			1	0 0 0 1			2	0 0 1 0			3	0 0 1 1			4	0 1 0 0			5	0 1 0 1			6	0 1 1 0			7	0 1 1 1			8	1 0 0 0			9	1 0 0 1			10	1 0 1 0			11	1 0 1 1			12	1 1 0 0			13	1 1 0 1			14	1 1 1 0			15	1 1 1 1		
m	A B C D	F1	F2																																																																		
0	0 0 0 0																																																																				
1	0 0 0 1																																																																				
2	0 0 1 0																																																																				
3	0 0 1 1																																																																				
4	0 1 0 0																																																																				
5	0 1 0 1																																																																				
6	0 1 1 0																																																																				
7	0 1 1 1																																																																				
8	1 0 0 0																																																																				
9	1 0 0 1																																																																				
10	1 0 1 0																																																																				
11	1 0 1 1																																																																				
12	1 1 0 0																																																																				
13	1 1 0 1																																																																				
14	1 1 1 0																																																																				
15	1 1 1 1																																																																				
<p style="text-align: center;">Efectue la simulación en Proteus</p>																																																																					
<p style="text-align: center;">Construcción del prototipo</p>																																																																					

Trabajo solicitado

Obtenga para el ejercicio que se le asignado de las funciones F1 y F2 lo siguiente:

- 1.- Los Diagramas Esquemáticos de F1 y F2.
- 2.- La tabla de verdad correspondiente a cada uno de las funciones F1 y F2 en forma analítica usando el método propuesto.
- 3.- Realice la captura esquemática en el programa shcematic de Isp lever classic.
- 4.- Obtenga el diagrama de tiempos usando el archivo TEST_VECTORS.
- 5.- Compare los resultados obtenidos con la tabla de verdad
- 6.- Efectue la simulación en PROTEUS y verifique los resultados nuevamente.
- 7.- Construya el prototipo y compruebe el funcionamiento correcto.

Ecuaciones propuestas

	F1 SOP	F2 POS
1	$A' B' C' D' + A' B' D' + A B C' D'$	$(A + B + C' + D) (A + B + D') (A' + B + C' + D')$
2	$A' B' C' D' + A' B' D' + C' D'$	$(A + B + C' + D) (A + B + D') (A' + C' + D')$
3	$A' B' C' D' + A B D' C + C' D'$	$(A' + B + C' + D') (A + B + D') (A' + C' + D')$
4	$A' B' C' D' + A' C D' + C' D$	$(A' + B + C' + D) (A + C + D) (A' + B + C' + D')$
5	$A' B C' D' + A' C D' + C' D$	$(A' + B' + C' + D) (A + C + D) (A' + B + C' + D')$
6	$A' B C' D' + A' C D' + A' D$	$(A' + B' + C' + D) (A + C' + D) (A' + B + C' + D')$
7	$A' B C' D' + A' C D' + A' B$	$(A' + B' + C' + D) (A + B + D) (A' + B + C' + D')$
8	$A' B C' D' + A' D' + A' B D$	$(A + B' + C' + D) (A' + B + D) (A' + B + C' + D')$
9	$X' Z' W' + X' Y W' + X' Y$	$(X + Y' + Z' + W) (X' + Y + W) (Y' + Z' + W')$
10	$X' Z' Y W' + X' Y W' + X' Y$	$(X + Z' + W) (X' + Y + W) (Y' + Z' + W')$
11	$X' Z' Y W' + X' W' + X Y$	$(X' + Z' + W) (X' + Y + W) (Y + Z' + W')$
12	$X' Z' Y W + X' W + X' Y$	$(X' + Z' + Y + W) (X' + Y + W) (Y + W')$
13	$X' Z + Z' W' + X' Y W$	$(X + Z + W') (X' + Z' + W) (Y + W')$
14	$X' Y' W' + X' Y W + X' Z' W'$	$X (Y + Z + W') (Y' + W)$
15	$Y Z W' + X' Z W' + X' Y$	$(X + W) (X + Z') (X + Y') (Y' + W) (Y' + Z')$
16	$Y' W' + X' Z' W' + X' Y'$	$(X + Y) (X + W) (Y + Z) (Y + W)$
17	$A' B' C' D' + A' B' + A B C' D$	$(A + D') (A' + B) (A + B') (B' + C')$
18	$B + A D' + A C' + C' D'$	$(D') (A' + B) (A + B') (B' + C')$
19	$A D' + A C' + A' B + C' D'$	$(D') (B + C') (A + C')$
20	$D' + A C' + A' B$	$(C' + D') (C + D) (A' + D)$
21	$A C' + A' C + B C + A' D$	$(C' + D') (C + D) (A' + C')$
22	$B D + A C' + A' C + B' C D' + A' D$	$(A') (B + D') (B + C)$
23	$B D + C' + A B' D' + A' D$	$(D') (A' + B) (A + B') (A' + C')$
24	$B D + A B' D' + A' B + A' D + A C'$	$(A + D') (B + C') (A + C')$
25	$A B + C' D + A' B' + A' D + A' C'$	$(A' + B) (B + D') (B + C)$
26	$X Y W' + Y' W + X' Y' + Y Z'$	$(X') (Y + Z') (Y + W')$
27	$X Y W' + Y' W + X' Z' + Y Z'$	$(X' + Y') (X' + W') (Y' + Z') (Y' + W')$
28	$Y W + Y Z' + Z' W + X' W'$	$(X' + W') (X' + Z) (X' + Y) (Y + W') (Y + Z)$
29	$B D + A C' + A' C + B' C D' + A' D$	$(A' + B' + C' + D) (A' + B + C' + D') (A + B + C + D')$
30	$B D + C' + A' D$	$(A') (C' + D') (C + D) (B + C')$
31	$A D + C' + B' D$	$(A') (C' + D') (C + D) (B + C')$
32	$A' B C D' + A' C' D$	$(C' + D) (A + B' + C')$
33	$A B C + B' C + A B D' + A C D.$	$(A' + C' + D) (A' + B) (A + B + D').$
34		
35		

Reporte (lista de Cotejo, Check List)

1	Portada.
2	Ecuaciones asignadas F1 y F2.
3	Circuito de F1 y F2
4	Diagrama de Bloques (entradas y Salidas)
5	Tabla de verdad
6	Captura esquemática
7	Archivo Abel Test Vectors
8	Simulación y comparación con la tabla de Verdad
9	Ecuaciones mínimas del archivo reporte.
10	Distribución de terminales (Pin Out)
11	Foto del circuito y comprobación de su funcionamiento
12	Circuito y simulación en Proteus.
13	Conclusiones.
14	Recomendaciones.
15	Subir a Google Classroom los archivos entregables solicitados.
16	Agendar la cita para la revisión.

Archivos entregables todos incluidos en un **Zip o RAR** de nombre, sesión, hora y numero de lista ejemplo S4MM1NL3.zip martes M1 numero de lista 3

Reporte	Captura esquemática	Test_vectors	JEDEC	Animación	PROTEUS
PDF	SCH	ABV	JED	GIF	PDSRJR

Una vez cumplido lo anterior es necesario agendar y efectuar la entrevista presencial para presentar el prototipo funcionando correctamente, así como explicar los procedimientos y resultados obtenidos en forma oral y escrita.