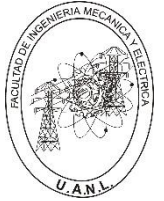


P6 – 2023

**Universidad Autónoma de Nuevo León
Facultad de Ingeniería Mecánica y Eléctrica
Coordinación General de Ingeniería Electrónica**



**Laboratorio de Electrónica Digital I
Sesión 6
Diseño de sistemas combinacionales**

Propósito: Comprensión, análisis y aplicación del método de Diseño de sistemas combinacionales, mediante el diseño, la simulación y construcción de un prototipo

Método del diseño combinacional con HDL (Flujo de diseño)

1.- Especificar el sistema.	
2.-Determinar entradas y salidas (Diagrama de Bloques).	
3.- Trasladar el comportamiento a una tabla de verdad. Representar la ecuación en sus formas canónicas SOP Σ y POS Π	Código ABEL-HDL
4.- Ecuaciones Mínimas	
5.-Simulación.	
6.- Construcción del prototipo	

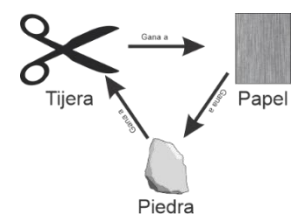
Especificar el sistema Problema propuesto:

Diseñe, efectúe la simulación y construya un prototipo de un sistema electrónico digital binario, capaz de mostrar al ganador entre dos adversarios del tradicional concurso piedra, papel o tijera.

El sistema estará definido por las entradas de los jugadores A (**A1, A0**) y B (**B1, B0**) de dos bits cada una y dos salidas llamadas **GA** y **GB**.

El código utilizado para la identificación de cada postura es el siguiente:

	Código		Esquema de Piedra, Papel o Tijera. Cada elemento vence a uno de los otros dos, y a su vez es vencido por uno de ellos
No hay propuesta	0	0	
Tijera	0	1	
Piedra	1	0	
Papel	1	1	



Se requiere de un botón adicional llamado **J** (Juego) de modo que al oprimirlo muestre por medio de las salidas GA y GB:

- 1.- Que jugador gano ya sea A o B indicándolo en su salida correspondiente por medio de un uno.
 - 2.- En el caso de que uno o los dos concursantes no tengan propuesta el resultado será nulo indicando las salidas GA=0, GB=0.
 - 3.- En caso de empate deberá de mostrarse por medio de las salidas GA=1, GB=1.
- Mientras se está realizando el proceso de elección ($J = 0$), estarán apagados los dos leds de salida. Nota: las salidas GA y GB se mostrarán por medio de Leds en donde el valor de 0 el Led deberá de estar apagado y en el valor de 1 el led deberá de encender.

Determinar entradas y salidas (Dibujo del Diagrama de Bloques).



Trasladar el comportamiento del sistema a una Tabla de verdad

m	TP	T4	T3	T2	T1	Σ	S
0	0	0	0	0	0		
1	0	0	0	0	1		
2	0	0	0	1	0		
3	0	0	0	1	1		
4	0	0	1	0	0		
5	0	0	1	0	1		
6	0	0	1	1	0		
7	0	0	1	1	1		
8	0	1	0	0	0		
9	0	1	0	0	1		
10	0	1	0	1	0		
11	0	1	0	1	1		
12	0	1	1	0	0		
13	0	1	1	0	1		
14	0	1	1	1	0		
15	0	1	1	1	1		
16	1	0	0	0	0		
17	1	0	0	0	1		
18	1	0	0	1	0		
19	1	0	0	1	1		
20	1	0	1	0	0		
21	1	0	1	0	1		
22	1	0	1	1	0		
23	1	0	1	1	1		
24	1	1	0	0	0		
25	1	1	0	0	1		
26	1	1	0	1	0		
27	1	1	0	1	1		
28	1	1	1	0	0		
29	1	1	1	0	1		
30	1	1	1	1	0		
31	1	1	1	1	1		

Formas canónicas

		No de Combinaciones		
$F_{(T_P, T_4, T_3, T_2, T_1)} =$	Σ		SOP	1
$F_{(T_P, T_4, T_3, T_2, T_1)} =$	Π		POS	0

Nota: En la forma Canónica Σ se indica el número de combinaciones de la tabla de verdad cuyas salidas igual a uno.
 En la forma Canónica Π se indica el número de combinaciones de la tabla de verdad cuyas salidas igual a cero.

Ecuaciones Mínimas usando LogicAid

		Ecuaciones	Inputs	Gates	
$F_{(T_P, T_4, T_3, T_2, T_1)} =$					SOP
$F_{(T_P, T_4, T_3, T_2, T_1)} =$					POS

Código ABEL-HDL Ecuaciones Mínimas o Tabla de verdad, incluyendo Test_vectors

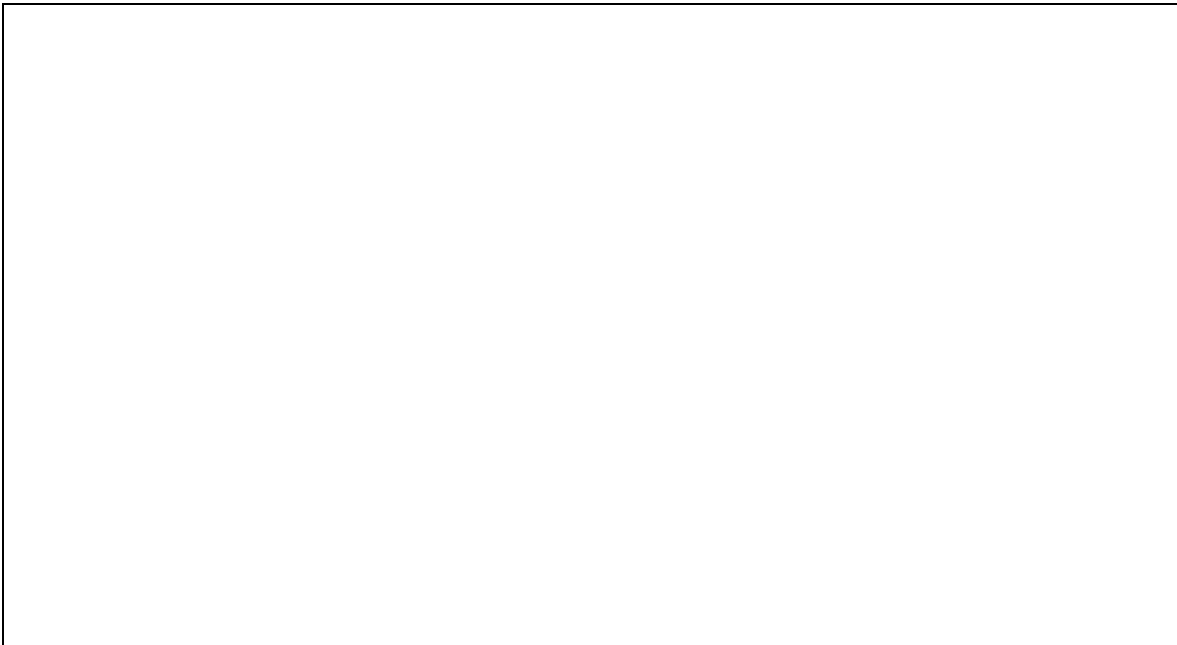
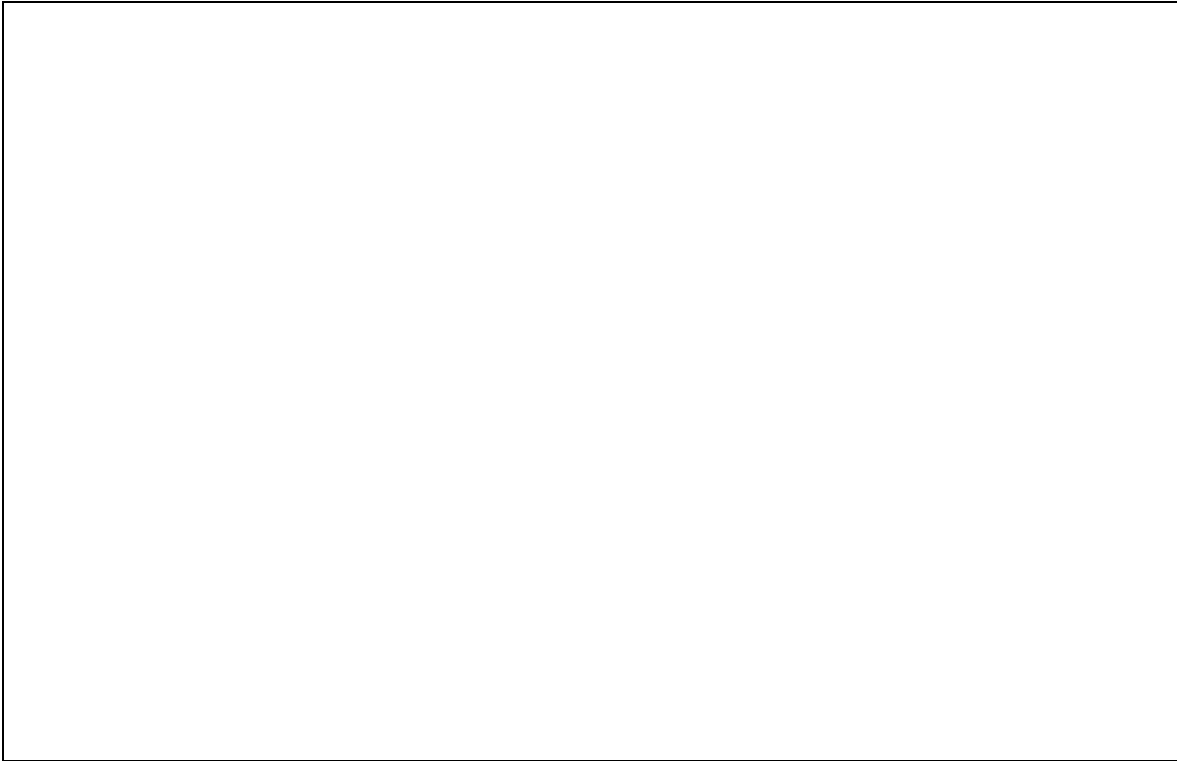


Imagen de la simulación Test_vectors



La ecuación mínima del archivo reporte (RPT).



Distribución de terminales PIN OUT

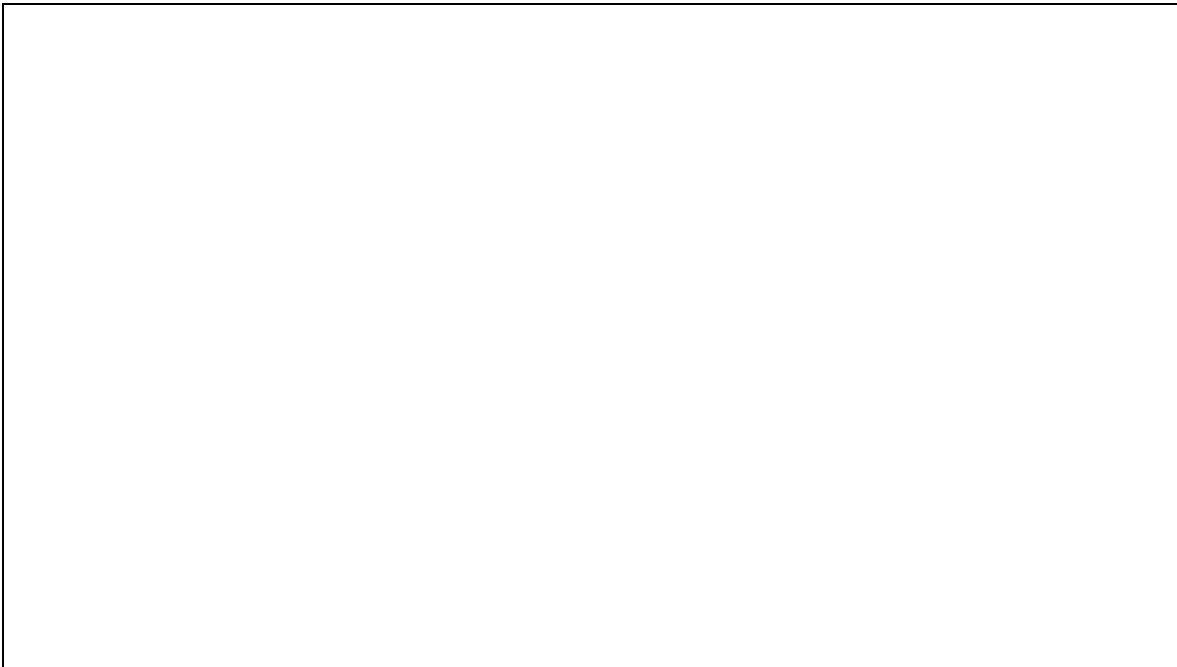


Imagen del diagrama esquemático en PROTEUS

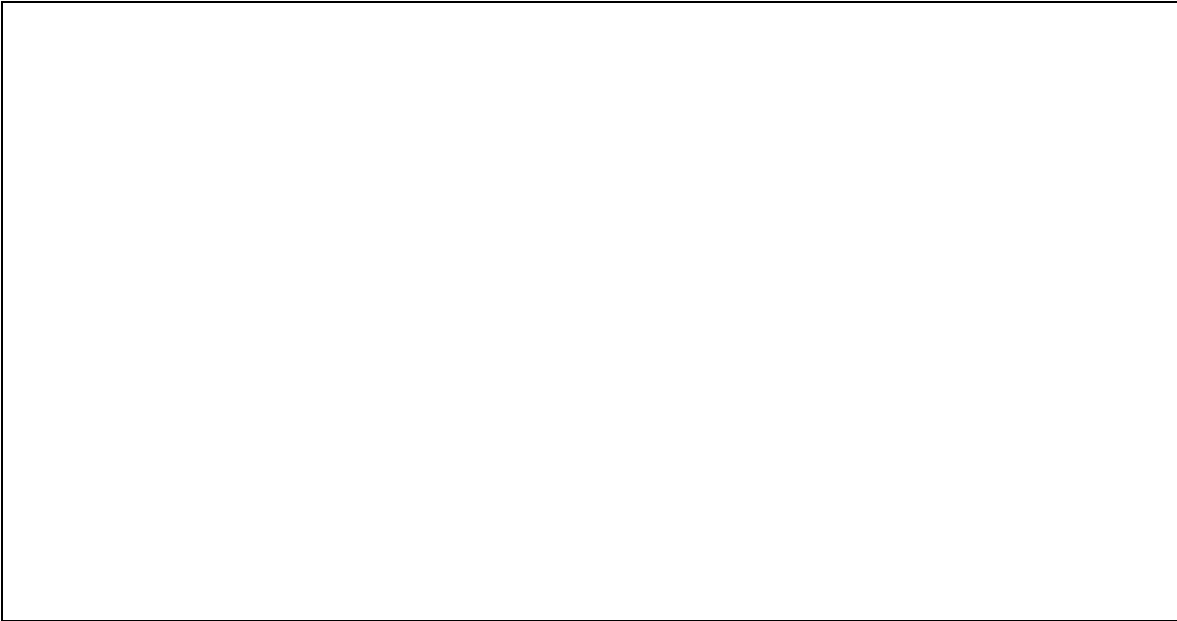
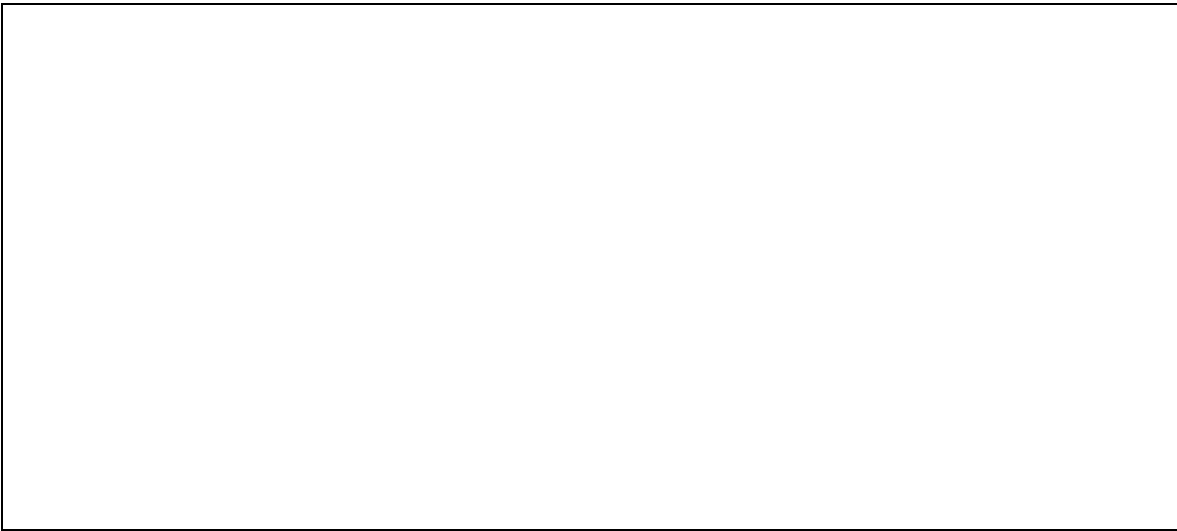
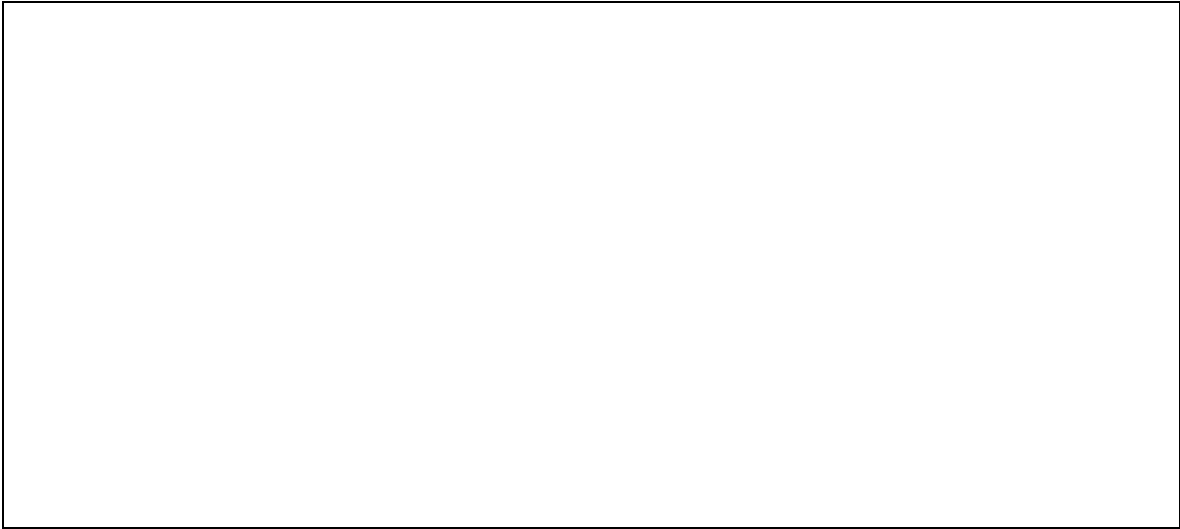


Foto del prototipo armado



Conclusión y recomendaciones



Para la realización de este proyecto formativo se te recomienda consultar los videos siguientes

DC1	https://www.youtube.com/watch?v=HgHd7P8XYRs&t=205s	
2	https://www.youtube.com/watch?v=kISqs3H4ADA&t=17s	
DC3	https://www.youtube.com/watch?v=ym4stKMx_5Y&t=6s	

Reporte sesión 6 (lista de Cotejo, Check List)

1	Portada con datos completos.
2	Redacción del problema propuesto
3	Diagrama de Bloques
4	Tabla de verdad
5	Las ecuaciones SOP y POS en la forma Canónica
6	Ecuaciones mínimas indicando el número de entradas y el numero de compuertas
7	El código ABEL-HDL Truth_Table o Ecuaciones incluyendo el test_vectors en el mismo código.
8	Imagen de la simulación (Test Vectors).
9	Las ecuaciones mínimas del archivo reporte (RPT).
10	La distribución de terminales (Pin Out) del archivo reporte (RPT).
11	Imagen del circuito en PROTEUS (usando como entradas y salidas botones, resistencias y Led's)
12	Foto del prototipo
13	Conclusiones
14	Recomendaciones

Subir los archivos entregables a Google Classroom, antes de la fecha solicitada

Archivos entregables en Zip o RAR	PDF	ABL	JED	Animación	PROTEUS	LogicAid
--	------------	------------	------------	------------------	----------------	-----------------

Una vez cumplido lo anterior es necesario agendar y efectuar la entrevista presencial para presentar el prototipo funcionando correctamente, así como explicar los procedimientos y resultados obtenidos en forma oral y escrita.

“Una mente adaptativa tiene una mejor capacidad de aprendizaje”.

Pearl Zhu