



Hora	NL	Matricula	Nombre	Equipo
IAS	14	1954192	Landeros Elorza Arturo	3
IAS	17	1983835	Mateos Nicasio Zitlali	

Requisitos:

- 1.- Diseñar, efectuar la simulación y construir el prototipo del sistema digital propuesto.
- 2.- Subir los entregables solicitados a Google Classroom antes de la fecha límite señalada.
- 3.- Programar una entrevista por medio de la plataforma MS-TEAMS, para explicar el procedimiento y resultados obtenidos, antes de la fecha límite acordada.

Problema a resolver

En una producción de artefactos comerciales en serie, el sistema de control extrae 5 muestras de cada lote llamadas A, B C, D y E.

Si la muestra es aprobada su sensor muestra un 1, siendo un 0 en caso contrario.

Diseñe, efectúe la simulación y construya un prototipo de un sistema electrónico digital binario, que contenga dos salidas en las que determine:

- a) Una salida $TA=1$ solo cuando todas las unidades han sido aprobadas.
- b) Una salida $MA=1$, si la mayoría han sido aprobadas, excluyendo los casos en donde todas han sido aprobadas, también los casos en donde A, B y C están aprobadas, pero no D y E, y en donde A, B, C, D están aprobadas, pero no E.

Etapas de la actividad Fundamental 1 (Lista de cotejo check List)

1	Descarga, Instalación y Licencia de los programas de aplicación ispLEVER, PROTEUS, LogicAid y ScreenToGif:
2	Lectura comprensiva del problema, identificación de variables de Entrada y Salida, Diagrama de Bloques
3	Planteamiento, trasladar el comportamiento a una Tabla de Verdad
4	Obtener las ecuaciones de Minitérminos y/o Maxitérminos
5	Obtener las Ecuaciones mínimas por medio del programa LogicAid (ecuaciones, términos o tabla de verdad)
6	Realizar la Captura esquemática Diagrama esquemático compuertas lógicas AON utilizando Schematic del programa IspLEVER (ecuaciones mínimas) de la opción más conveniente SOP o POS.
7	Generar el Archivo ABV y obtener la Simulación Test_vectors (IspLEVER).
8	Elaborar el Diagrama lógico en Protesus con el Dispositivo AM22V10, usando como entradas interruptores, resistencias y LEDS y como salidas que se muestren a través de Leds.
9	Generar animación o video de la simulación del funcionamiento de todas las combinaciones posibles (ScreenToGif)
10	Construir el prototipo
11	Realizar el Reporte con lo solicitado (ver detalle en la página siguiente).
12	Subir entregables solicitados en un archivo ZIP o RAR a Google Classroom.
13	Agendar la presentación del Proyecto (Power Point, ISP, Proteus)

Nota: El propósito formativo de esta actividad es la implementación de la función simplificada por medio de Captura Esquemática. **No está permitido utilizar como recurso lenguajes de descripción de hardware (HDL),**

No basta saber, se debe también aplicar. No es suficiente querer, se debe también hacer.

Johann Wolfgang Goethe (1749-1832) Poeta y dramaturgo alemán.

12SD

Reporte (Pdf o Word)

1.- Portada

- U.A.N.L. F.I.M.E. (logotipos y nombres) y Nombre del curso
 - Número y nombre de la actividad
 - Nombre, número de matrícula del Alumno y Programa Educativo
 - Hora del grupo y número de lista
 - Fecha de elaboración.
 - Tiempo estimado que se le dedico a esta actividad (horas)
- Redacción del problema.
 - Diagrama de Bloques (Definición de las Entradas y salidas).
 - Tabla de Verdad.
 - Ecuaciones de los miniterminos y/o maxiterminos según convenga (SOP o POS).
 - Ecuaciones mínimas SOP y POS
 - Diagrama esquemático (figura del archivo SCH).
 - Código de la simulación ABV (código del archivo).
 - Imagen de la Simulación Test_vectors (captura de pantalla).
 - Diagrama de la distribución de terminales (pin out) mostradas en el del archivo RPT.
 - Imagen del circuito en PROTEUS (usando Logic State como entradas y Logic Probe como salidas).
 - Las Ecuaciones mínimas mostradas en el archivo RPT.
 - Archivo JED.
 - Foto del prototipo implementado.
 - Bibliografía completa.
 - Conclusiones. *(Un reporte sin conclusiones carece de valor).*
 - Recomendaciones.

Presentación en Power Point

- Portada.
- Redacción del problema.
- Diagrama de Bloques y Tabla de Verdad.
- Ecuaciones de Miniterminos (SOP) y/o Maxiterminos (POS).
- Ecuaciones mínimas SOP y POS (LogicAid)
- Imagen del Diagrama esquemático de compuertas en la forma AON.
- Imágenes: archivo con código ABV, imagen de la distribución de terminales (pin out).
- Imagen de la simulación del Test_Vectors.
- Diagrama lógico en Protesus y Gif animado.
- Foto del prototipo implementado
- Conclusiones
- Recomendaciones.

Antes de agendar la cita para mostrar el prototipo y explicar el procedimiento y resultados obtenidos, hay que subir a Google Classroom los archivos entregables abajo listados:

Archivos entregables	Formato
Reporte completo	PDF
Archivo de Captura Esquemática	SCH
Archivos de las Ecuaciones mínimas	AID y OUT
IspStarter	ABL y JED
PROTEUS	PSDPRJ
Archivo JEDEC	JED
Archivo de Simulación ABEL	ABV
Animación de la simulación	GIF
Presentación	PPT

Todos incluidos en un solo archivo ZIP o RAR llamado MXNLY. , X=hora, Y=No. de lista en un archivo ZIP o RAR.

Ejemplo M1NL03:zip

Asesorías por medio de MS-TEAMS, revisión de actividades y proyectos con los becarios, agendar entrevista

La fecha límite para subir los archivos es el Miércoles 23 de Febrero y para la entrevista Viernes 25 del mismo mes.

Febrero 2022						
L	M	M	J	V	S	D
	1	2	3	4	5	6
7	8	9	10	11	12	13
14	15	16	17	18	19	20
21	22	23	24	25	26	27
Se previsor, evita contratiempos						
23 Fecha límite GC			24-25 Fecha limite Entrevista			



Dr. Santos Guzmán Lopez
Rector U.A.N.L.