



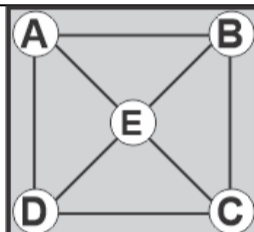
Hora	NL	Matricula	Nombre	Equipo
M2	6	1810903	Moya Guajardo Rubén Hernán	9
M2	29	1901978	Serna Monsiváis Jesús Francisco	

**Requisitos:**

- 1.- Diseñar, efectuar la simulación y construir el prototipo del sistema digital propuesto.
- 2.- Subir los entregables solicitados a Google Classroom antes de la fecha límite señalada.
- 3.- Programar una entrevista por medio de la plataforma MS-TEAMS, para explicar el procedimiento y resultados obtenidos, antes de la fecha límite acordada.

**Problema a resolver**

Diseñe, efectúe la simulación y construya un prototipo de un sistema electrónico digital binario, para un proceso de inspección de calidad, que consta de un arreglo de cinco foto-celdas llamadas A, B, C, D y E, mostrado en la figura, las foto-celdas se consideran activadas por medio de un valor de 1 lógico y desactivadas por medio de un cero lógico. El sistema indicara por medio de una salida  $S = 1$ , solo cuando dos foto-celdas adyacentes están activadas (1).



**Etapas de la actividad Fundamental 1 (Lista de cotejo check List)**

1	Descarga, Instalación y Licencia de los programas de aplicación <b>ispLEVER, PROTEUS, LogicAid y ScreenToGif:</b>
2	Lectura comprensiva del problema, identificación de variables de <b>Entrada y Salida, Diagrama de Bloques</b>
3	Planteamiento, trasladar el comportamiento a una <b>Tabla de Verdad</b>
4	Obtener las ecuaciones de <b>Minitérminos y/o Maxitérminos</b>
5	Obtener las Ecuaciones mínimas por medio del programa LogicAid (ecuaciones, términos o tabla de verdad)
6	<b>Realizar la Captura esquemática</b> Diagrama esquemático compuertas lógicas AON utilizando Schematic del programa IspLEVER (ecuaciones mínimas) de la opción más conveniente SOP o POS.
7	Generar el Archivo <b>ABV</b> y obtener la <b>Simulación Test_vectors</b> (IspLEVER).
8	Elaborar el Diagrama lógico en Protesus con el Dispositivo AM22V10, usando como entradas interruptores, resistencias y LEDS y como salidas que se muestren a través de Leds.
9	Generar <b>animación o video</b> de la simulación del funcionamiento de todas las combinaciones posibles (ScreenToGif)
10	Construir el prototipo
11	<b>Realizar el Reporte</b> con lo solicitado (ver detalle en la página siguiente).
12	Subir entregables solicitados en un archivo ZIP o RAR a Google Classroom.
13	Agendar la presentación del Proyecto (Power Point, ISP, Proteus)
Nota: El propósito formativo de esta actividad es la implementación de la función simplificada por medio de Captura Esquemática, <b>No está permitido utilizar como recurso lenguajes de descripción de hardware (HDL),</b>	

**No basta saber, se debe también aplicar. No es suficiente querer, se debe también hacer.**

*Johann Wolfgang Goethe (1749-1832) Poeta y dramaturgo alemán.*

**24ED**

## Reporte (Pdf o Word)

### 1.- Portada

- U.A.N.L. F.I.M.E. (logotipos y nombres) y Nombre del curso
  - Número y nombre de la actividad
  - Nombre, número de matrícula del Alumno y Programa Educativo
  - Hora del grupo y número de lista
  - Fecha de elaboración.
  - Tiempo estimado que se le dedico a esta actividad (horas)
- Redacción del problema.
  - Diagrama de Bloques (Definición de las Entradas y salidas).
  - Tabla de Verdad.
  - Ecuaciones de los miniterminos y/o maxiterminos según convenga (SOP o POS).
  - Ecuaciones mínimas SOP y POS
  - Diagrama esquemático (figura del archivo SCH).
  - Código de la simulación ABV (código del archivo).
  - Imagen de la Simulación Test\_vectors (captura de pantalla).
  - Diagrama de la distribución de terminales (pin out) mostradas en el del archivo RPT.
  - Imagen del circuito en PROTEUS (usando Logic State como entradas y Logic Probe como salidas).
  - Las Ecuaciones mínimas mostradas en el archivo RPT.
  - Archivo JED.
  - Foto del prototipo implementado.
  - Bibliografía completa.
  - Conclusiones. *(Un reporte sin conclusiones carece de valor).*
  - Recomendaciones.

## Presentación en Power Point

- Portada.
- Redacción del problema.
- Diagrama de Bloques y Tabla de Verdad.
- Ecuaciones de Miniterminos (SOP) y/o Maxiterminos (POS).
- Ecuaciones mínimas SOP y POS (LogicAid)
- Imagen del Diagrama esquemático de compuertas en la forma AON.
- Imágenes: archivo con código ABV, imagen de la distribución de terminales (pin out).
- Imagen de la simulación del Test\_Vectors.
- Diagrama lógico en Protesus y Gif animado.
- Foto del prototipo implementado
- Conclusiones
- Recomendaciones.

Antes de agendar la cita para mostrar el prototipo y explicar el procedimiento y resultados obtenidos, hay que subir a Google Classroom los archivos entregables abajo listados:

Archivos entregables	Formato
Reporte completo	PDF
Archivo de Captura Esquemática	SCH
Archivos de las Ecuaciones mínimas	AID y OUT
IspStarter	ABL y JED
PROTEUS	PSDPRJ
Archivo JEDEC	JED
Archivo de Simulación ABEL	ABV
Animación de la simulación	GIF
Presentación	PPT

Todos incluidos en un solo archivo ZIP o RAR llamado MXNLY. , X=hora, Y=No. de lista en un archivo ZIP o RAR.

Ejemplo M1NL03:zip

Asesorías por medio de MS-TEAMS, revisión de actividades y proyectos con los becarios, agendar entrevista

La fecha límite para subir los archivos es el Miércoles 23 de Febrero y para la entrevista Viernes 25 del mismo mes.

Febrero 2022						
L	M	M	J	V	S	D
	1	2	3	4	5	6
7	8	9	10	11	12	13
14	15	16	17	18	19	20
21	22	23	24	25	26	27
Se previsor, evita contratiempos						
23 Fecha límite GC			24-25 Fecha limite Entrevista			



La  
**excelencia**  
por principio  
la **educación**  
como instrumento

Dr. Santos Guzmán Lopez  
Rector U.A.N.L.