

## Actividad Fundamental 4

|      |    |           |  |
|------|----|-----------|--|
| Hora | NL | Matricula | Nombre                                 |
| M4   | 4  | 1896809   | <b>Ricardo Jesús Betancourt Nájera</b> |

### Aula Invertida (Flipped Classroom):

Es un enfoque diferente de enseñanza donde el alumno incorpora información antes de la clase fuera del aula y participa posteriormente en su desarrollo y construcción dentro del aula (presencial o virtual).

Propósito de la actividad: aprendizaje y aplicación del método propuesto del Diseño de sistemas secuenciales síncronos.

**Instrucciones:** Es una actividad individual y es necesario efectuar los siguientes pasos:

#### 1.- Descargue y consulte los videos :

| Plataforma   | Liga  |
|--------------|---|
| MS<br>STREAM | <a href="https://web.microsoftstream.com/video/e2951545-d011-48e9-a291-37c97c1e94f3">https://web.microsoftstream.com/video/e2951545-d011-48e9-a291-37c97c1e94f3</a> |

**2.- Usando el video como guía de aplicación del método de diseño de sistemas secuenciales síncronos, para el problema que se le asignó fuera del aula desarrolle lo siguiente:**

- a). - Especificar el sistema (*Diagrama de transición*).
- b). - Determinar la cantidad de Flip Flops, dependiendo del número de Estados.
- c). - Asignar valores a los estados (*identificación de los estados*).
- d). - Diagrama de Bloque (*Entradas y Salidas*).
- e). - Construir la tabla de estado siguiente. (*lista de cotejo*).

**3.- Dentro de la clase en la fecha programada (virtual MS\_TEAMS) se propone desarrollar el código y simulación contando con la asesoría del profesor.**

**4.- Entregar las evidencias (archivos entregables) por medio de la plataforma Google Classroom, a más tardar el día señalado en tu hoja de firmas.**

**5.- Agendar una cita para exponer el procedimiento y presentar el prototipo implementado funcionando correctamente.**

Nota: para cumplir con el punto 9 de la lista de cotejo (Layout del circuito impreso), se recomienda consultar el video en YouTube titulado Diseño de PCB BCD 7 segmentos PROTEUS, con la siguiente dirección:

<https://www.youtube.com/watch?v=Mghag9dMuV8&t=737s>

## Actividad Fundamental 4

### Secuencia de Luces

Diseñe, efectúe la simulación y construya un prototipo de un sistema secuencial síncrono y cíclico, compuesto de 4 salidas en código binario que encienden y apagan en una secuencia particular que dependerá de una señal de control **E** de modo que:

Si **E = 0**, ocurrirá la secuencia “**X**” que se muestra en la siguiente figura (Los cuadros blancos indican que la luz está apagada, los cuadros oscuros indican que la luz está encendida).



Si **E=1** ocurrirá la secuencia “**Y**” que se muestra a continuación:



Cuando usted cambia el valor de E en medio de una secuencia (X o Y), las luces continuarán con la secuencia actual, hasta que se encuentre un valor binario que también esté presente en la otra secuencia, de ahí en adelante, continuará la secuencia que fue seleccionada correspondiendo al nuevo valor de E. Ambas secuencias son cíclicas, los cambios de estado en la secuencia dependerán del pulso de sincronía Clk.

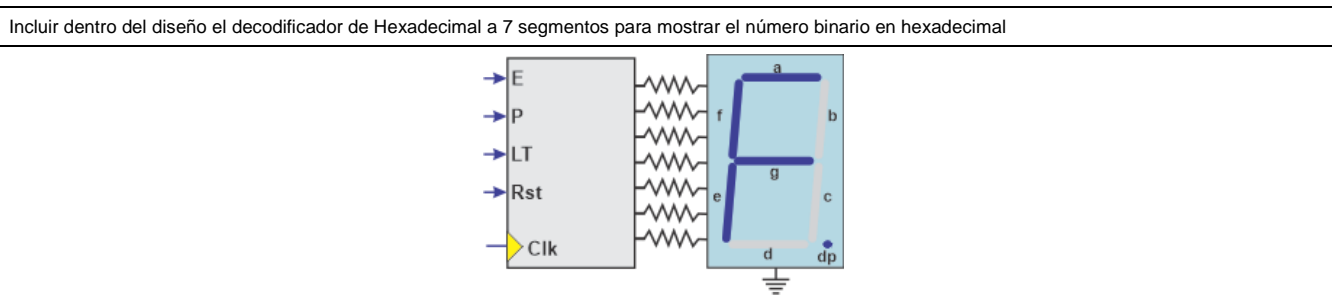
**Es necesario mostrar los valores binarios en hexadecimal utilizando un display de 7 segmentos.**

Se incluirán tres entradas adicionales a la señal de sincronía Clk que son las siguientes:

- 1.- Paro “**P**” de modo que al oprimirlo se detenga en el estado actual y al soltarlo continúe con la secuencia hacia el próximo estado correspondiente al valor de E.
- 2.- **LT** (prueba de lámparas) de modo que al activarla mientras no está oprimido “**Rst**” deberán de encender todos los segmentos del display (8) al llegar la señal de Clk, y al soltarlo continuar con la secuencia partiendo del estado actual hacia el estado correspondiente al valor de E.
- 3.- **Rst** (Restablecer) de modo que cuando tenga el valor de uno sin importar la condición actual el sistema deberá de apagar todas las luces sin necesidad de esperar la señal de Clk, y al soltarlo la secuencia iniciará de nuevo. (se recomienda utilizar la instrucción **Asynchronous Reset, .ar.**)

Y al soltarlo regrese al estado E0.

**Notas:** No usar salidas combinacionales para esta actividad, solo salidas registradas



|   |   |    |
|---|---|----|
| X | Y | T  |
| 1 | 4 | AR |

## Actividad Fundamental 4

### Reporte (lista de Cotejo, Check List)

|    |  |
|----|--|
| 1  | Portada.                                 |
| 2  | Enunciado del Problema (redacción)       |
| 3  | Diagrama de Transición                   |
| 4  | Tabla de estado siguiente                |
| 5  | Diagrama de Bloques (Entradas y Salidas) |
| 6  | Código ABEL-HDL Module.                  |
| 7  | Distribución de terminales (Pin Out)     |
| 8  | Diagrama lógico en PROTEUS               |
| 9  | <u>Layout del circuito impreso</u>       |
| 10 | Conclusiones                             |
| 11 | Recomendaciones                          |
| 12 | Referencias bibliográficas               |

| Presentación con las siguientes diapositivas: |  |
|---|--|
| 1   | Portada.   |
| 2   | Redacción del problema.                            |
| 3   | Diagrama de transición                             |
| 4   | Tabla de Estado siguiente.                         |
| 5   | Código ABEL-HDL                                    |
| 6   | Imagen de la distribución de terminales (pin out). |
| 7   | Diagrama lógico en PROTEUS                         |
| 8   | Imagen del Layout del circuito impreso             |
| 9   | Simulación de Proteus en un Gif animado.           |
| 10  | Conclusiones                                       |
| 11  | Recomendaciones                                    |

Agendar entrevista para presentar el circuito trabajando en una tablilla de conexiones

| Archivos entregables | Reporte | Código | Archivo | Animación | Presentación | PROTEUS |
|----------------------|---------|--------|---------|-----------|--------------|---------|
|                      | PDF     | ABL    | JED     | Gif       | PPT          | PDSRJ   |



*Dr. Arnulfo Treviño Cubero*  
Director F.I.M.E.



*Dr. Santos Guzmán Lopez*  
Rector U.A.N.L.