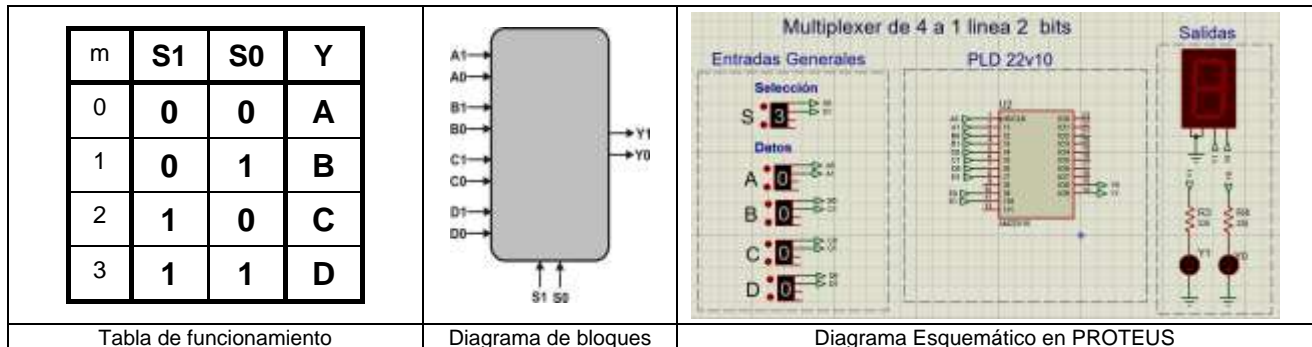




Universidad Autónoma de Nuevo León
Facultad de Ingeniería Mecánica y Eléctrica
Electrónica Digital I, Sistemas Digitales
Proyecto Formativo 8



Se requiere diseñar y llevar a cabo la simulación de un selector de datos (Multiplexor) de 4 a 1 líneas. Las cuatro entradas de datos, A, B, C y D, deben tener una longitud de dos bits cada una, con A (A1, A0), B (B1, B0), C (C1, C0) y D (D1, D0) respectivamente. El selector debe ser capaz de determinar, mediante las entradas de selección S1 y S0, cuál de las cuatro entradas se mostrará en la salida Y (Y1, Y0), tal y como se muestra en la figura adjunta:



Para el diseño del selector de datos, se utilizará el Lenguaje de Descripción de Hardware ABEL-HDL, haciendo uso de los comandos When y Then. Además, se empleará el comando SET para representar una sola variable como un conjunto de valores, por ejemplo: las entradas de datos A= [A1,A0]; B= [B1,B0]; C= [C1,C0]; D= [D1,D0]; las entradas de control, S= [S1,S0]; y la salida Y=[Y1,Y0];.

Para la simulación, se empleará un Dispositivo Lógico Programable (PLD) en el programa PROTEUS. Los propósitos de este proyecto son:

- 1.- Aprovechar las ventajas de la programación en ABEL-HDL en el diseño de sistemas combinatoriales, ya que en el diseño tradicional con 10 entradas se requeriría representar el comportamiento en una tabla de verdad con 1024 combinaciones, y por medio del HDL se puede expresar en pocas líneas de código.
- 2.- Obtener la imagen de la simulación por medio del test_vectors utilizando el valor Dont Care (.x.), lo que simplifica la representación de la tabla de verdad.
- 3.- Efectuar la simulación para comprobar el correcto funcionamiento en PROTEUS, utilizando como dispositivos de entrada THUMBSWITCH-BCD y de salida leds y Display, tal y como se muestra en el diagrama esquemático.
- 4.- Elaborar un reporte que cumpla con los requisitos solicitados (ver lista de cotejo).

Adicionalmente, para ser considerado como un proyecto aprobado, se deberá subir los archivos a Google Classroom y presentar el reporte a más tardar en la fecha acordada, antes de las 16:00 horas. No se aceptarán entregas después de dicha fecha. Se recomienda consultar la presentación DC2 de la página WEB <http://jagarza.fime.uanl.mx/> y revisar los requisitos del reporte.

Reporte, (lista de Cotejo, Check List)

| | |
|----|--|
| 1 | Portada. |
| 2 | Redacción del problema |
| 3 | Diagrama de Bloques (Entradas y Salidas) |
| 4 | Tabla de funcionamiento |
| 5 | Código Abel _ HDL |
| 6 | Imagen de la Simulación Test_Vectors |
| 7 | Simulación, PROTEUS |
| 8 | Ecuaciones mínimas del archivo reporte |
| 9 | Distribución de terminales (Pin Out) |
| 10 | Conclusiones |
| 11 | Recomendaciones |

En este proyecto formativo no es necesario agendar cita

Archivos entregables a Google classroom,

| | | | | | |
|---|-----|-----|-----|-----------|---------|
| Archivos entregables en Zip o RAR nombre, hora y numero de lista | DOC | ABL | JED | Animación | PROTEUS |
|---|-----|-----|-----|-----------|---------|

Para elaborar la animación se recomienda la aplicación: Screen To GIF

Diseño en Ingeniería

Es la creación y desarrollo de un producto económicamente viable, proceso o sistema para satisfacer una necesidad específica.

Se trata de la aplicación de métodos y técnicas con desafíos intelectuales, en donde se utilizan para integrar a los recursos de ingeniería, conocimientos y habilidades para la solución de problemas reales.

Andrew McLaren, Approaches to the Teaching of Design, Engineering Subject Centre, The Higher Education Academy, University of Sheffield UK, 2008, ISBN 978-1-904804-802



Dr. Arnulfo Treviño Cubero
Director de la F.I.M.E

“Todo fracaso es la falta de adaptación,
todo éxito es una adaptación exitosa”.

Max McKeown.



Dr. Santos Guzmán Lopez
Rector U.A.N.L