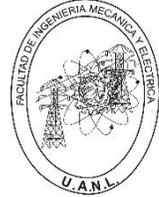


**Universidad Autónoma de Nuevo León  
Facultad de Ingeniería Mecánica y Eléctrica**



**Coordinación General de Ingeniería Electrónica**

**Laboratorio de Electrónica Digital I**

E8 – 2024

**Sesión 6 Diseño de sistemas combinacionales**

Hora	PE	NL	Mat	Apellidos	Nombre
<b>MM3</b>	<b>IMC</b>	<b>9</b>	<b>2132392</b>	<b>Morones Gómez</b>	<b>Roberto Isaac</b>

**Propósito: Comprensión, análisis y aplicación del método de Diseño de sistemas combinacionales, mediante el diseño, la simulación y construcción de un prototipo**

En esta sesión de laboratorio, el estudiante se encargará de diseñar un Sistema Combinacional basado en un problema específico.

Para llevar a cabo este diseño, se seguirán los pasos detallados a continuación:

- 1.- Aplicación del Método de Diseño para Sistemas Combinacionales: Se utilizará un flujo de diseño específico de diseño orientado a sistemas combinacionales, garantizando así un enfoque estructurado en el desarrollo del proyecto.
- 2.- Uso del Lenguaje de Descripción de Hardware Abel-HDL: Como herramienta principal de diseño, se empleará el lenguaje de descripción de hardware Abel-HDL. Este lenguaje facilita la descripción, diseño y documentación de circuitos electrónicos, especialmente útil para la implementación de sistemas combinacionales.
- 3.- Verificación de Resultados Mediante Simulación: Para asegurar la precisión y eficacia del diseño, se realizarán simulaciones. Esto permitirá verificar el funcionamiento del sistema antes de su implementación física, identificando y corrigiendo posibles errores o ineficiencias.
- 4.- Implementación física en un Dispositivo Lógico Programable (PLD): Finalmente, el diseño será implementado en un Dispositivo Lógico Programable (PLD). Esta etapa concretará el diseño en un entorno físico, permitiendo la interacción real con el sistema combinacional desarrollado.

Para la realización de lo solicitado en esta sesión de laboratorio se te recomienda consultar los videos siguientes:

DC1	<a href="https://www.youtube.com/watch?v=HgHd7P8XYRs&amp;t=205s">https://www.youtube.com/watch?v=HgHd7P8XYRs&amp;t=205s</a>	
2	<a href="https://www.youtube.com/watch?v=klSqs3H4ADA&amp;t=17s">https://www.youtube.com/watch?v=klSqs3H4ADA&amp;t=17s</a>	
DC3	<a href="https://www.youtube.com/watch?v=ym4stKMx_5Y&amp;t=6s">https://www.youtube.com/watch?v=ym4stKMx_5Y&amp;t=6s</a>	

## Método del diseño combinacional con HDL (Flujo de Diseño)

- 1.- Especificar el sistema.
- 2.- Determinar entradas y salidas (Diagrama de Bloques).

<b>3.- Trasladar el comportamiento a una tabla de verdad.</b> Representar la ecuación en sus formas canónicas SOP $\Sigma$ y POS $\Pi$	<b>Código ABEL-HDL</b>
<b>4.- Ecuaciones Mínimas</b>	

- 5.- Simulación.
- 6.- Construcción del prototipo

### 1.- Especificar el sistema Problema propuesto:

El problema de diseño combinacional planteado se refiere a una empresa con cinco accionistas (A, B, C, D y E), cuyas acciones están distribuidas de la siguiente manera:

$$A=35\%, B=30\%, C=15\%, D=10\% \text{ y } E=10\%.$$

Se requiere diseñar, simular y construir un sistema digital para el escrutinio en la toma de decisiones.

La opinión se obtiene a través de botones de votación, uno para cada accionista (A, B, C, D y E respectivamente).

Es importante tener en cuenta que cada accionista tiene un porcentaje ponderado en su voto, igual al número de acciones que posee.

El resultado de la votación será mostrado por medio de dos leds (**L1 y L0**) de salida de la siguiente manera:

L1	L0	
0	0	No Hay Resultado
0	1	Menor o igual a 30%
1	0	Mayor que 30% y menor o igual a 60%
1	1	Mayor de 60%, aprobada

El Valor de las salidas L1 y L0 se mostrarán en forma visual por medio de Leds en donde con el valor de 0 el Led deberá de estar apagado y con el valor de 1 el led deberá de encender.

El diseño del sistema debe tomar en cuenta estas especificaciones y cumplir con los requerimientos mencionados. Se realizará una simulación para verificar su correcto funcionamiento y, posteriormente, se construirá un prototipo físico utilizando componentes electrónicos adecuados

### 2.- Determinar entradas y salidas (Dibujo del Diagrama de Bloques).

### 3.- Trasladar el comportamiento del sistema a una Tabla de verdad

m	A	B	C	D	E	S	L1	L0
0	0	0	0	0	0			
1	0	0	0	0	1			
2	0	0	0	1	0			
3	0	0	0	1	1			
4	0	0	1	0	0			
5	0	0	1	0	1			
6	0	0	1	1	0			
7	0	0	1	1	1			
8	0	1	0	0	0			
9	0	1	0	0	1			
10	0	1	0	1	0			
11	0	1	0	1	1			
12	0	1	1	0	0			
13	0	1	1	0	1			
14	0	1	1	1	0			
15	0	1	1	1	1			
16	1	0	0	0	0			
17	1	0	0	0	1			
18	1	0	0	1	0			
19	1	0	0	1	1			
20	1	0	1	0	0			
21	1	0	1	0	1			
22	1	0	1	1	0			
23	1	0	1	1	1			
24	1	1	0	0	0			
25	1	1	0	0	1			
26	1	1	0	1	0			
27	1	1	0	1	1			
28	1	1	1	0	0			
29	1	1	1	0	1			
30	1	1	1	1	0			
31	1	1	1	1	1			

#### Formas canónicas

		No de Combinaciones		
$L1_{(A,B,C,D,E)} =$	$\Sigma$		SOP	1
$L0_{(A,B,C,D,E)} =$	$\Sigma$			
$L1_{(A,B,C,D,E)} =$	$\Pi$		POS	0
$L0_{(A,B,C,D,E)} =$	$\Pi$			

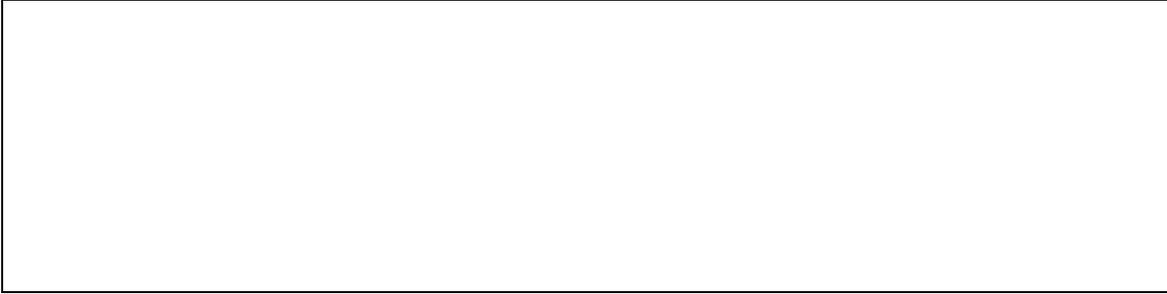
#### 4.- Ecuaciones Mínimas usando LogicAid, la de menor cantidad de entradas y compuertas

		Ecuaciones mínimas	Inputs	Gates	
$L1_{(A,B,C,D,E)}$					SOP o POS
$L0_{(A,B,C,D,E)} =$					SOP o POS

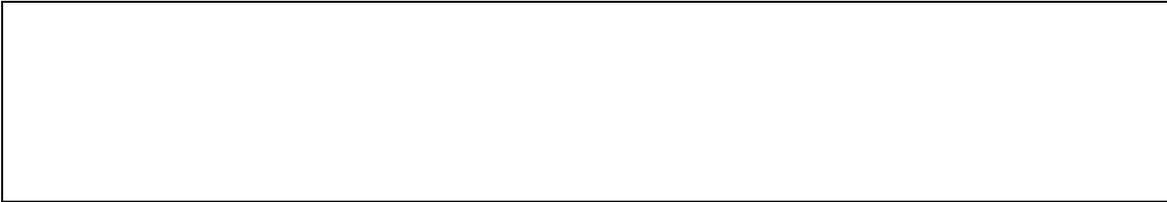
**Código ABEL-HDL Ecuaciones Mínimas o Tabla de verdad, incluyendo Test\_vectors**

A large, empty rectangular box with a thin black border, occupying most of the page. It is intended for the user to provide the code or truth table as specified in the header.

**Imagen de la simulación Test\_vectors**



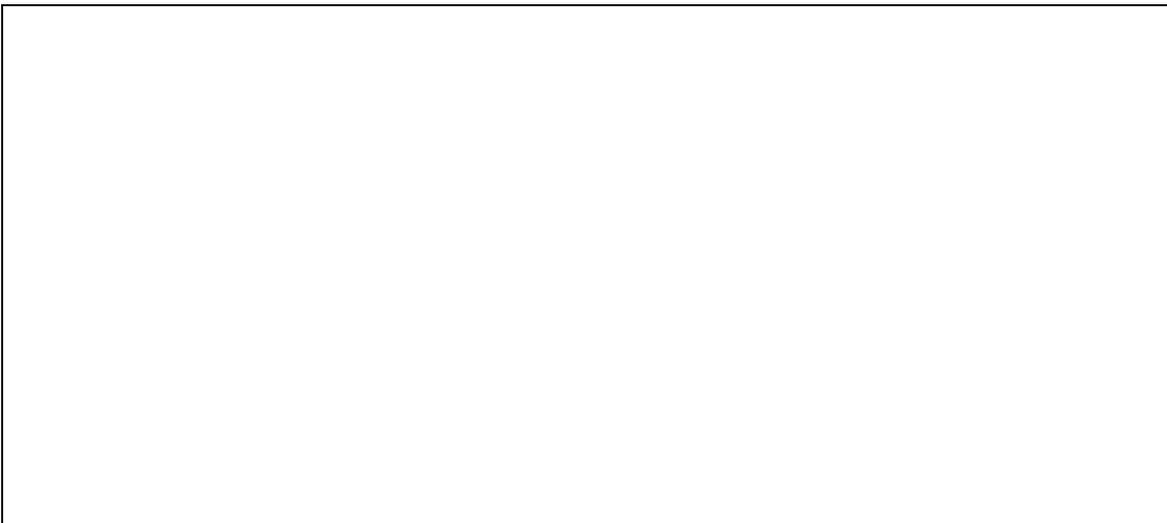
**Distribución de terminales PIN OUT**



**Imagen del diagrama esquemático en PROTEUS**



**Foto del prototipo armado**



**Reporte sesión 6** (lista de Cotejo, Check List)

1	Portada con datos completos.
2	Redacción del problema propuesto
3.	Diagrama de Bloques
4	Tabla de verdad
5	Las ecuaciones SOP y POS en la forma Canónica
6	Ecuaciones mínimas indicando el número de entradas y de compuertas
7	El código ABEL-HDL Truth_Table o Ecuaciones incluyendo el test_vectors en el mismo código.
8	Imagen de la simulación (Test Vectors).
9	Las ecuaciones mínimas del archivo reporte (RPT).
10	La distribución de terminales (Pin Out) del archivo reporte (RPT).
11	Imagen de la simulación del Test_vectors
8	Imagen del circuito en PROTEUS (usando como entradas y salidas botones, resistencias y Led's)
9	Foto del prototipo
10	Conclusiones
11	Recomendaciones

**Subir los archivos entregables a Google classroom, antes de la fecha solicitada**

Archivos entregables en Zip o RAR	Reporte	Tabla de verdad	Código HDL	Configuración PLD	Animación	PROTEUS
	<b>PDF</b>	<b>XLS</b>	<b>ABL</b>	<b>JED</b>	<b>GIF</b>	<b>PDSRJR</b>

Una vez cumplido lo anterior es necesario agendar y efectuar la entrevista presencial para presentar el prototipo funcionando correctamente, así como explicar los procedimientos y resultados obtenidos en forma oral y escrita.



**“Una mente adaptativa tiene una mejor capacidad de aprendizaje”.**

*Pearl Zhu*