

Ocho formas estandard



El elogio oportuno fomenta el mérito y la falta de elogio lo desanima.

José Martí (1853-1895) Político y escritor cubano

Ing. Sofía Rosas

IAS FIME UANL

CCNP Security / PCNSA



← Licencias y certificaciones



CCNA Routing and Switching

Cisco

Expedición nov. 2014 · Vencimiento: jun. 2025



CCNA SECURITY

Cisco

Expedición abr. 2015 · Vencimiento: jun. 2025



CCNP Security

Cisco

Expedición ene. 2019 · Vencimiento: jun. 2025



PCNSA

Palo Alto Networks

Expedición ene. 2021 · Vencimiento: ene. 2023



PSE Platform Professional

Palo Alto Networks

Expedición jun. 2019 · Vencimiento: jun. 2021

Experiencia



ITIS - Network Engineer

Softtek

dic. 2019 - actualidad · 2 años 9 meses



Presales Engineer

PROTECTIA

mar. 2019 - nov. 2019 · 9 meses



IT Network Engineer

Bray International, Inc.

ene. 2018 - mar. 2019 · 1 año 3 meses

- Basic Management and configuration with Firewall Palo Alto, Aruba Wireless, Free PBX Sangoma
- Monitoring with PRTG

... ver más



IT Security Engineer

PlanNet Service

jul. 2014 - dic. 2017 · 3 años 6 meses

Technical IT Skills

o Cisco ISE

... ver más



Telecommunication Support (Intern)

7-Eleven México

sept. 2013 - may. 2014 · 9 meses

Av. Munich San Nicolas

Support in IP telephony and 3com VCX / NBX switches.
Video Conferences with Lifesize equipment.
Internal network of the company and creation of wireless access.
VPN with Juniper Client for Users and Providers.

Mostrar todas las experiencias (6) →

An IT internetworking professional skilled in configuration and support of Cisco and PA devices with 4 years' experience in Telecommunication.

I'm interesting in cybersecurity because actually most of the companies ignore that they need to protect their principal value, the data. And in this days is very important learn more about security techniques and new technologies to contrarest the cybercrimes.

Las calificaciones quedan en la escuela, los aprendizajes perduran toda la vida

JAGG

Calendario propuesto

	Lunes	Martes	Miércoles	Jueves	viernes
4	25 Teorema de D'Morgan Ocho formas estándar	26	27 Ocho Formas Estándar	28	29 Trabajo en el aula de la AF1
6	1 Ejercicios de la PF3	2	3 Minimización de funciones Booleanas	4	5 Minimización de funciones Booleanas
7	8 Ejercicios en clase	9	10 Mapas de Karnaugh	11	12 Mapas de Karnaugh
8	15 Fecha Límite entrevista AF1	16	17 Ejercicios de la PF4	18	19 Reglas para el examen de M. C. AF2
9	22	23	24	25 M1	26 M2
10	29 M3	30 M4	19	20	21

Las Ocho Formas estándar

Diferentes formas para expresar algebraicamente una función booleana Partiendo de:

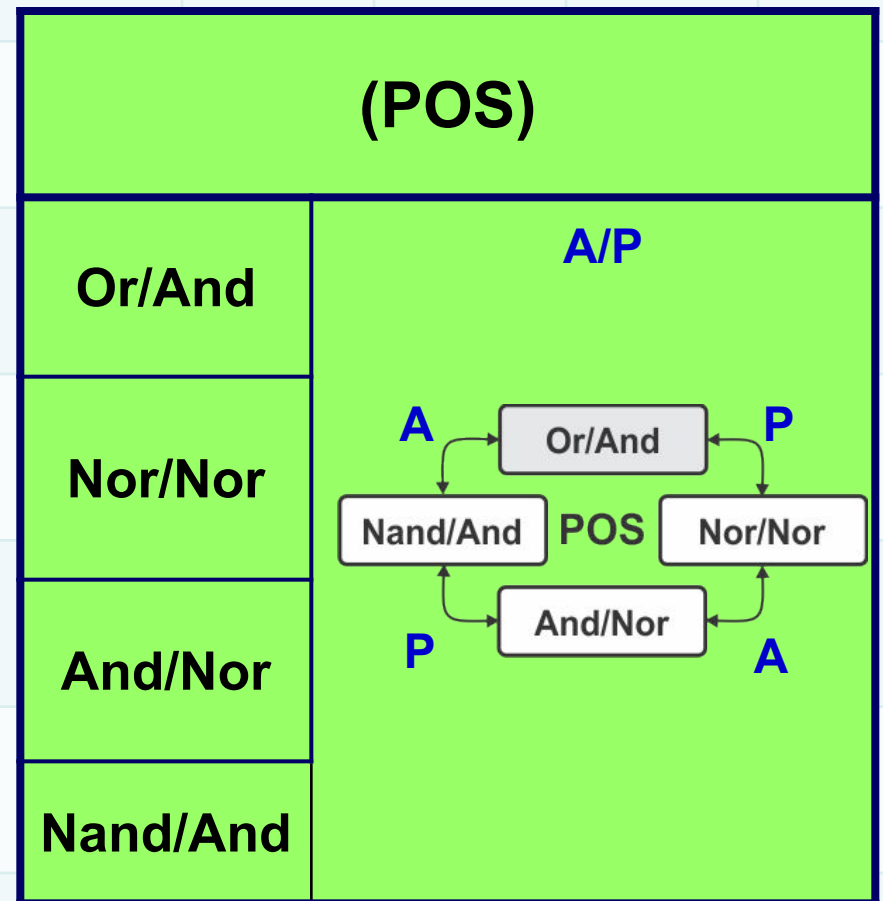
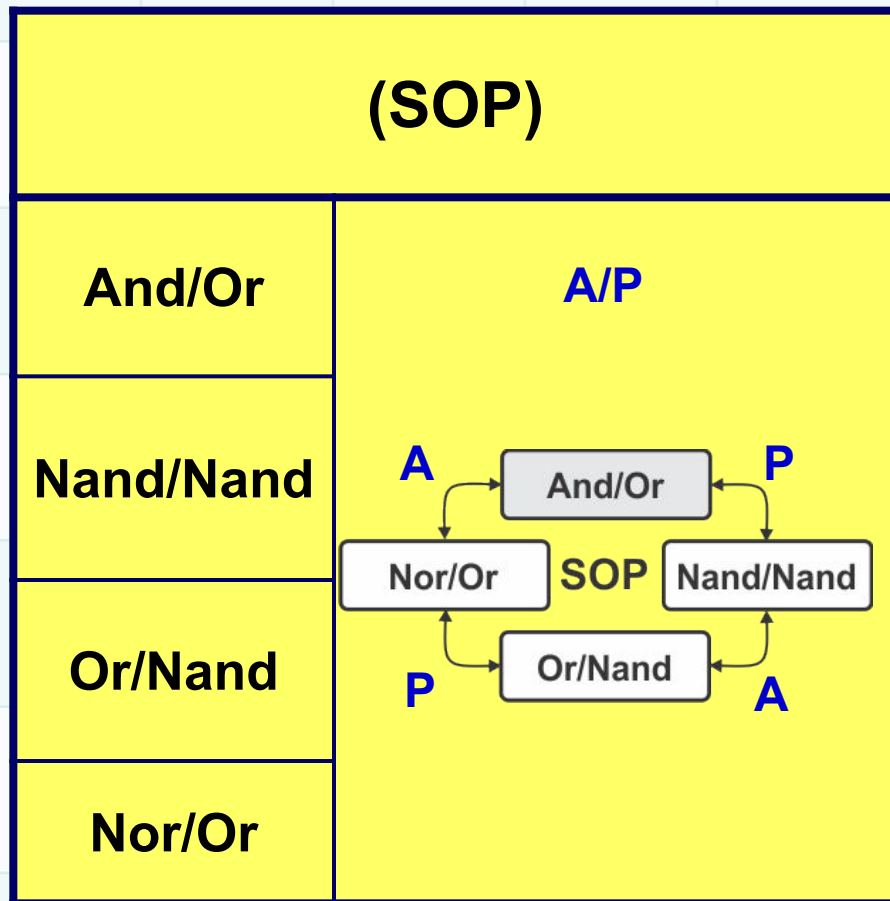
a).- Suma de Productos SOP (And/OR) partiendo de los Minitérminos

b).-Productos de Sumas POS (Or/And) partiendo de los Maxitérminos

Para obtener las ocho formas estándar es necesario aplicar el Teorema de D' Morgan

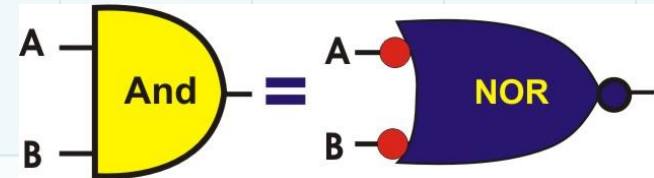
	SOP			POS
1	And/Or		5	Or/And
2	Nor/Or		6	Nand/And
3	Or/Nand		7	And/Nor
4	Nand/Nand		8	Nor/Nor

Ocho Formas estandar

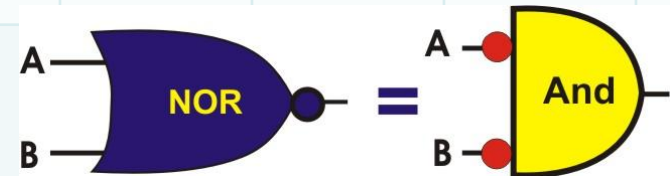


Teorema de D'Morgan

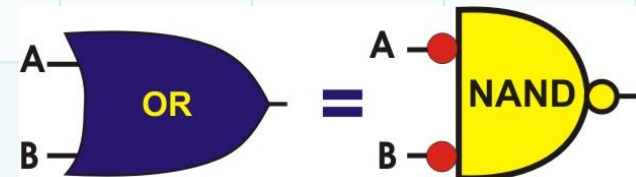
AND $\rightarrow$ NOR
Negando las entradas



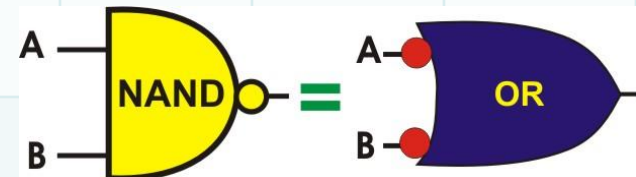
NOR $\rightarrow$ AND
Negando las entradas



OR $\rightarrow$ NAND
Negando las entradas

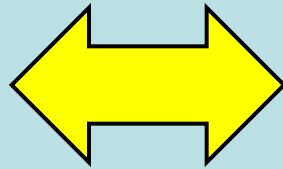


NAND $\rightarrow$ OR
Negando las entradas



Teorema de D'Morgan

AN

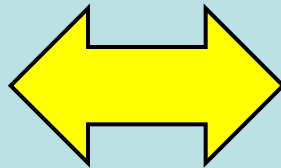


NOR

D

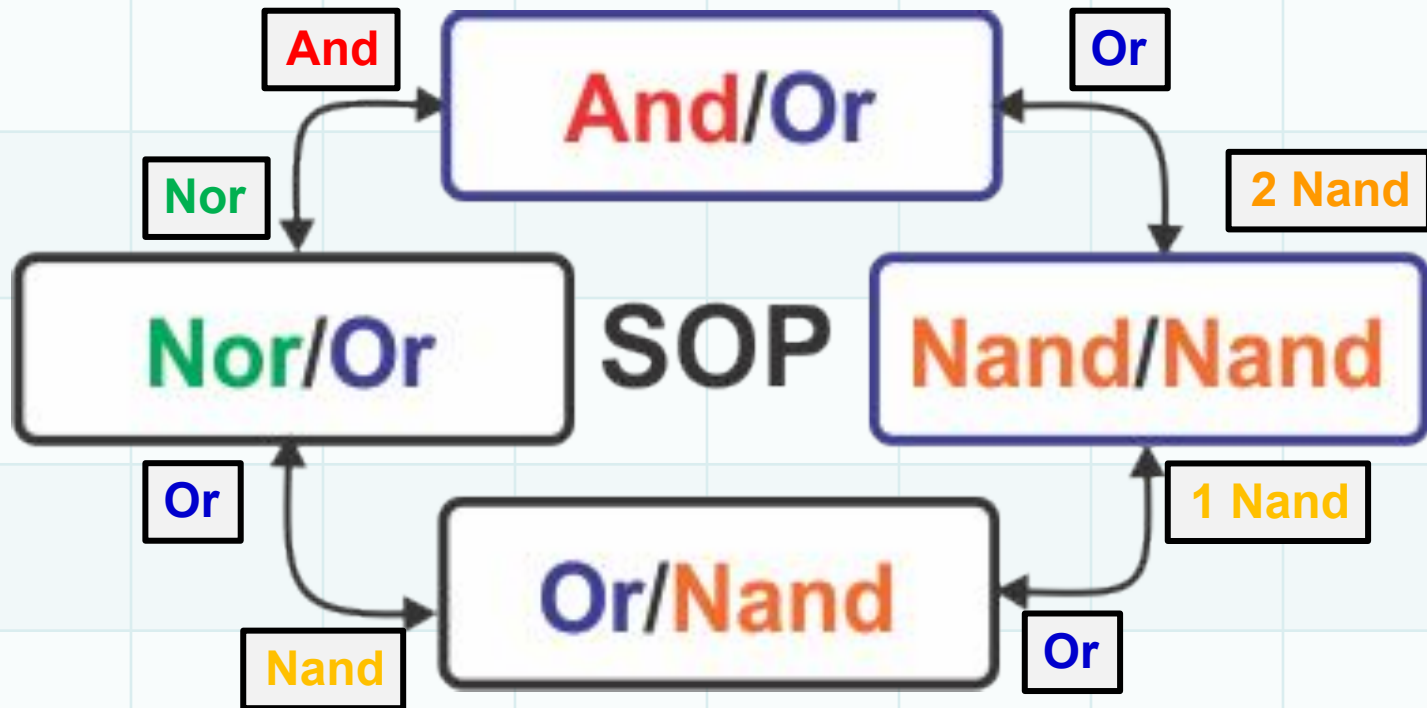
Negando las entradas

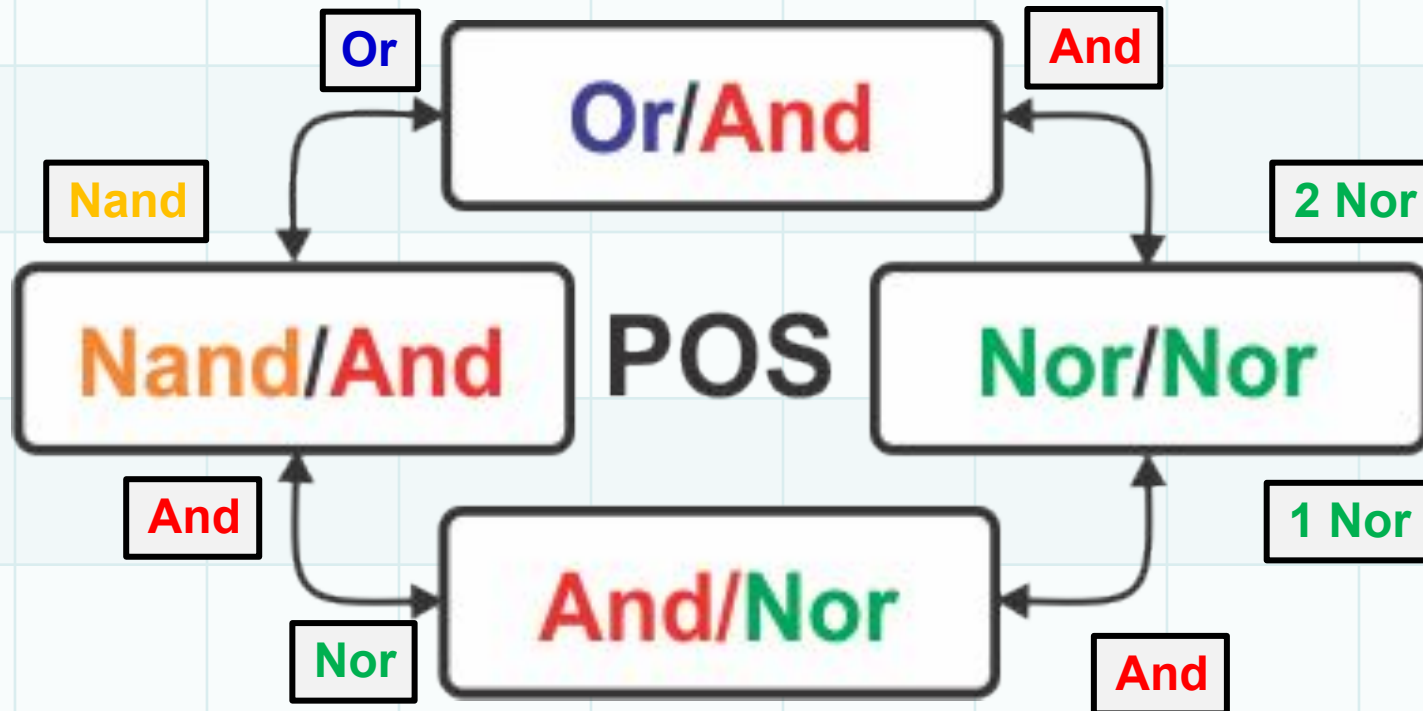
OR



NAND

Negando las entradas





Ejemplo

m	A	B	C	S
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Miniterminos

$$FS_{(A,B,C)} = A'B'C' + A'B'C + AB'C' + ABC$$

SOP

$$FS_{(A,B,C)} = \sum (0,1,4,7)$$

16 entradas 5 compuertas

Maxiterminos

$$(A + B' + C)(A + B' + C')(A' + B + C')(A' + B + C)$$

POS

$$FS_{(A,B,C)} = \prod (2,3,5,6)$$

$$S = ABC + B'C' + A'B'$$

Input Cost = 10

Gate Cost = 4

Ejemplo

m	A	B	C	S
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Miniterminos

$$A'B'C' + A'B'C + AB'C' + ABC$$

$$FS_{(A,B,C)} = \sum (0,1,4,7)$$

Maxiterminos

$$(A + B' + C)(A + B' + C')(A' + B + C')(A' + B + C)$$

$$FS_{(A,B,C)} = \prod (2,3,5,6)$$

LogicAid

$$FS = ABC + B'C' + A'B'$$

Input Cost = 10

Gate Cost = 4

$$FS = (B' + C)(A' + B + C')(A + B')$$

Ejemplo

m	A	B	C	S
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Miniterminos

$$A'B'C' + A'B'C + AB'C' + ABC$$

Ecuación Minima

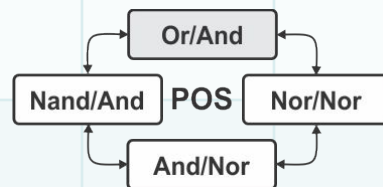
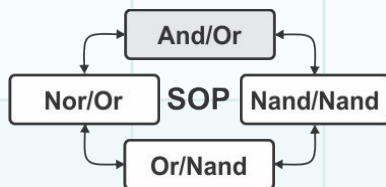
$$A'B' + B'C' + ABC$$

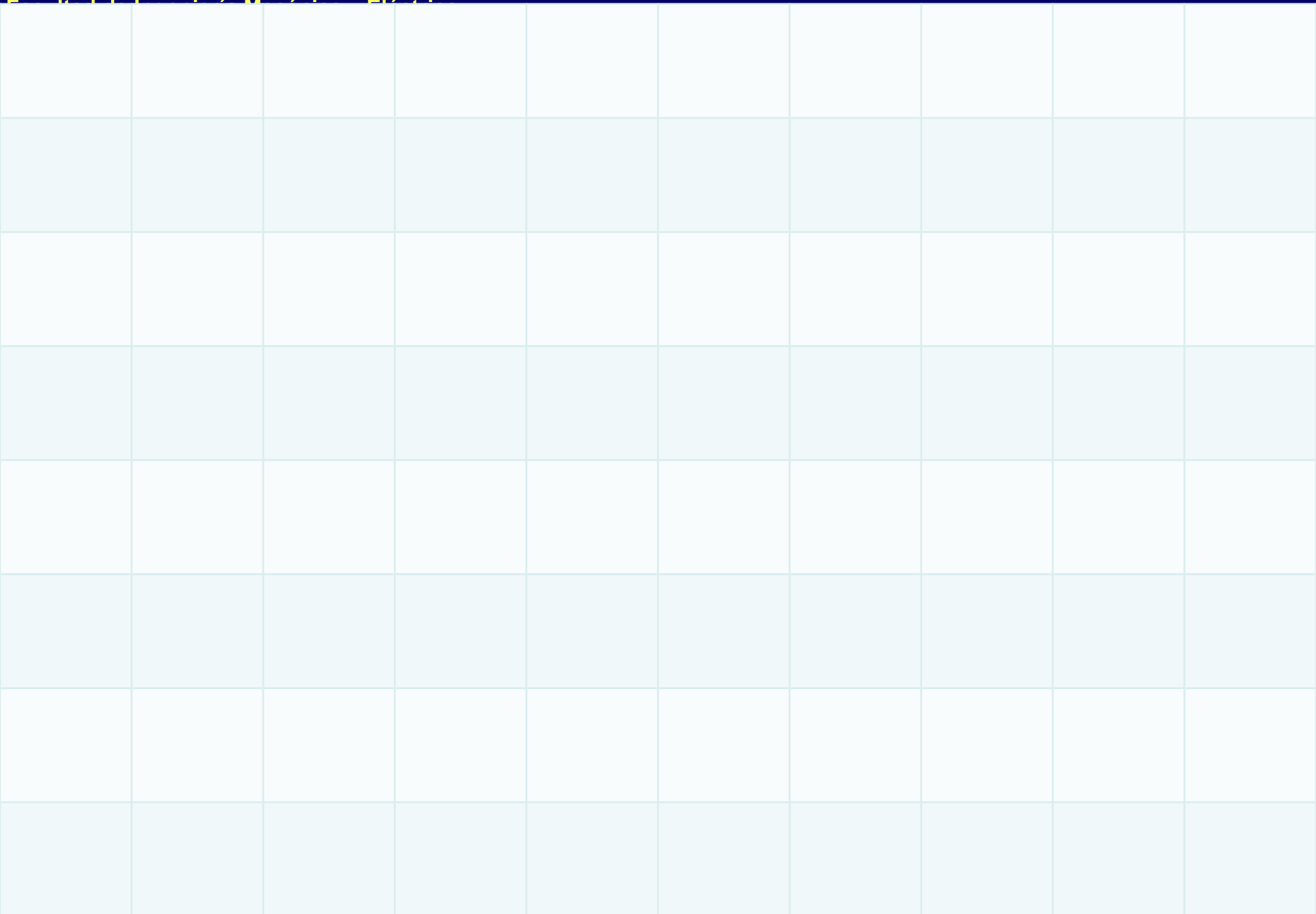
Maxiterminos

$$(A + B' + C)(A + B' + C')(A' + B + C')(A' + B + C)$$

Ecuación Minima

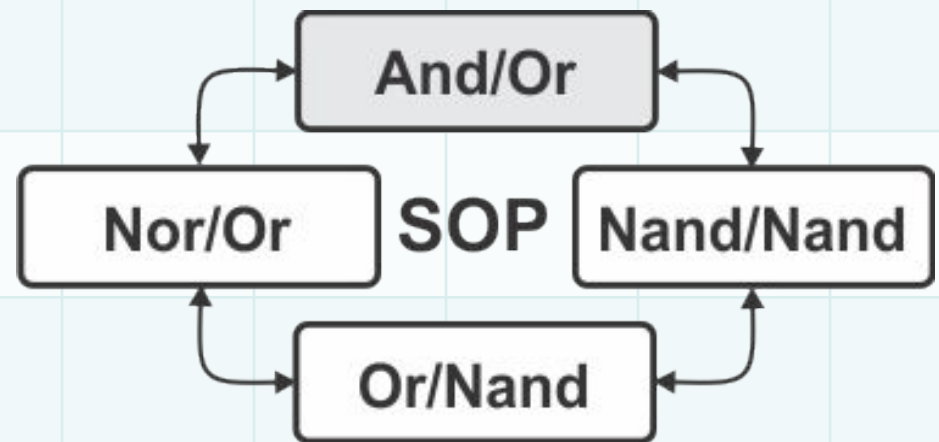
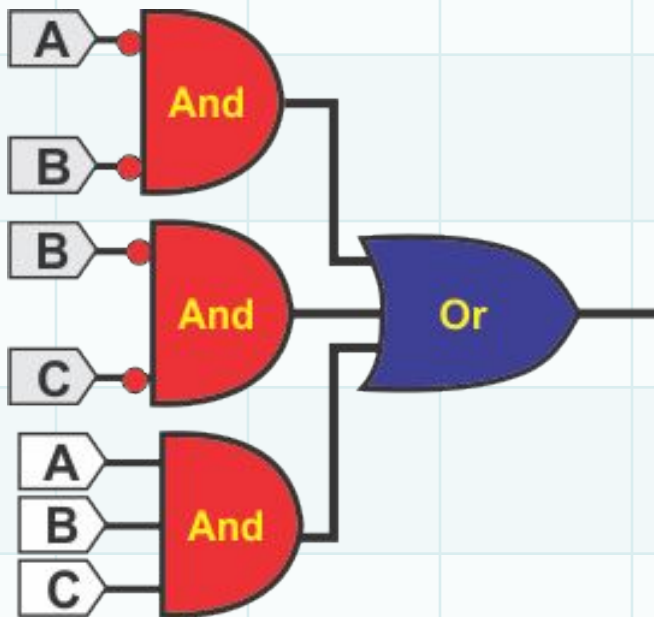
$$(A + B')(A' + B + C')(B' + C)$$





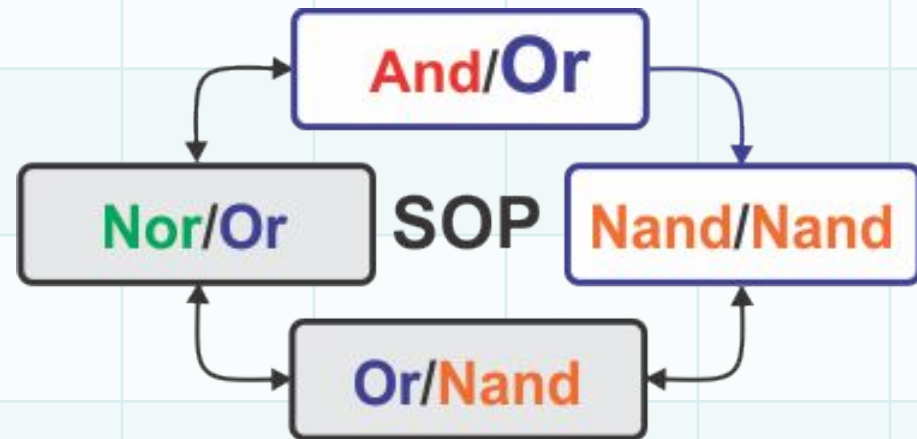
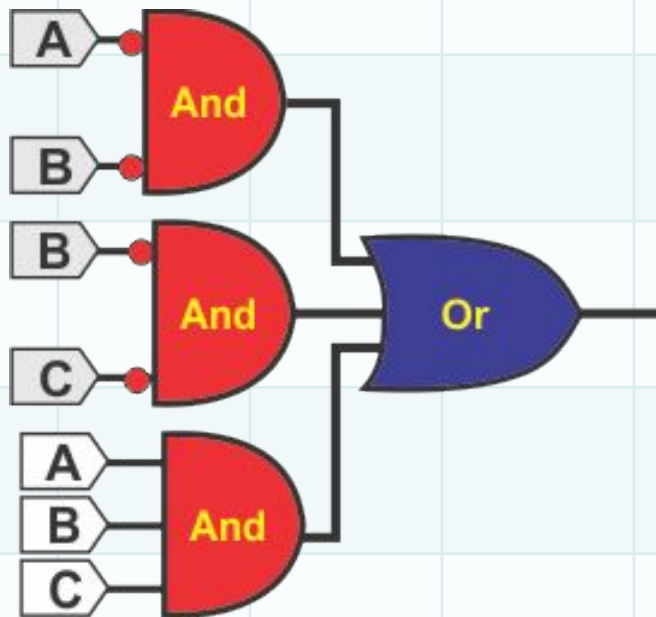
$$A'B' + B'C' + A B C$$

And/Or



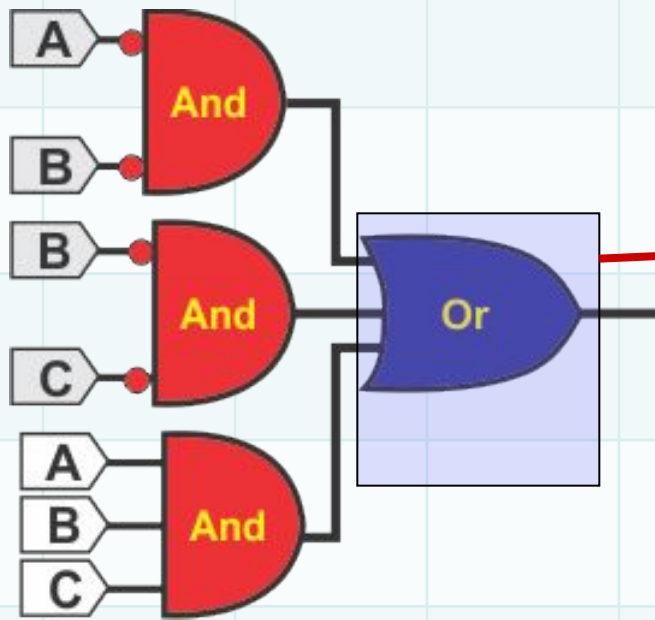
$$A'B' + B'C' + A B C$$

And/Or

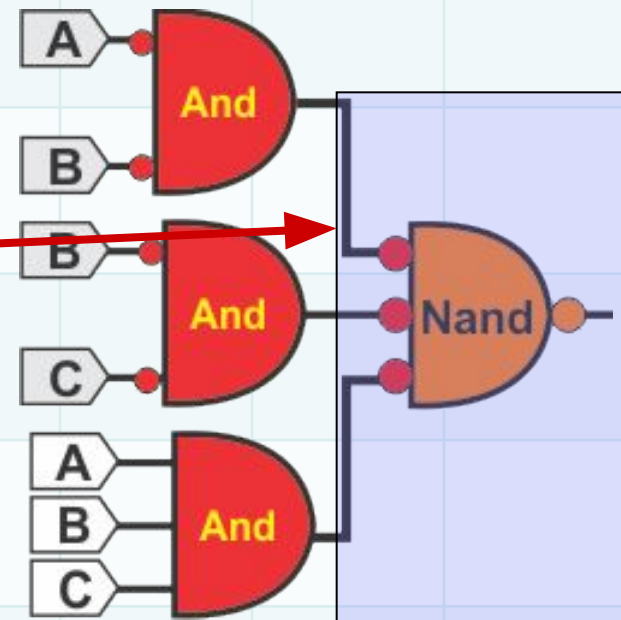


OR → NAND
Negando las entradas

And/Or

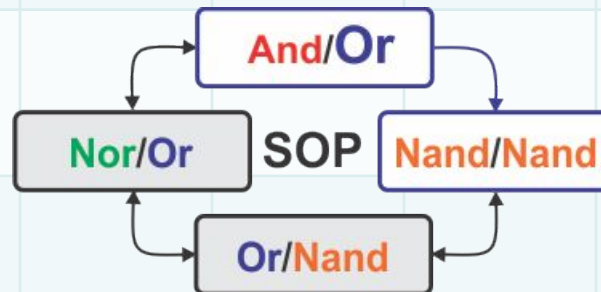


$$A'B' + B'C' + ABC$$

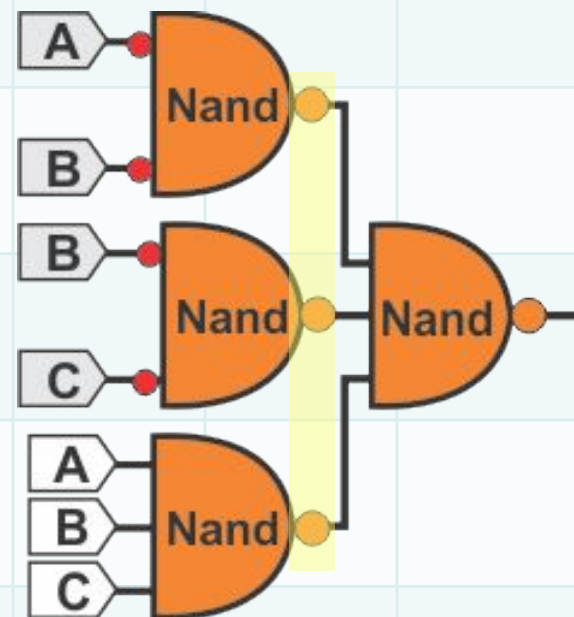
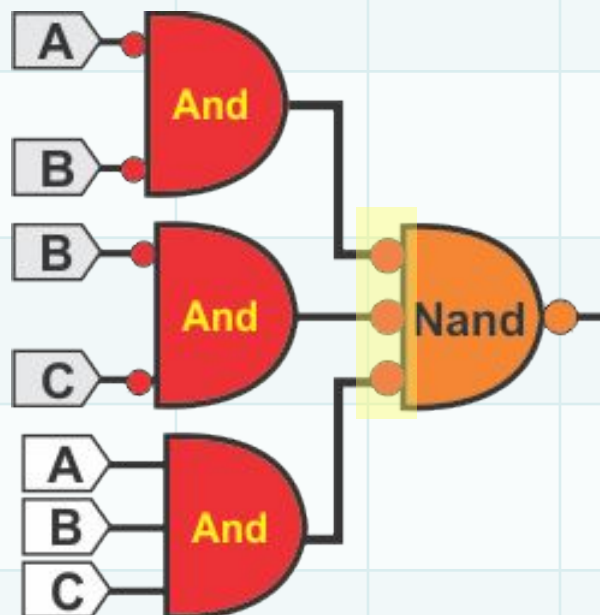


$$[(A'B')' + (B'C)']'$$

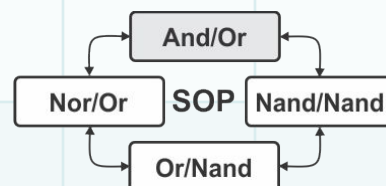
OR → NAND
Negando las entradas



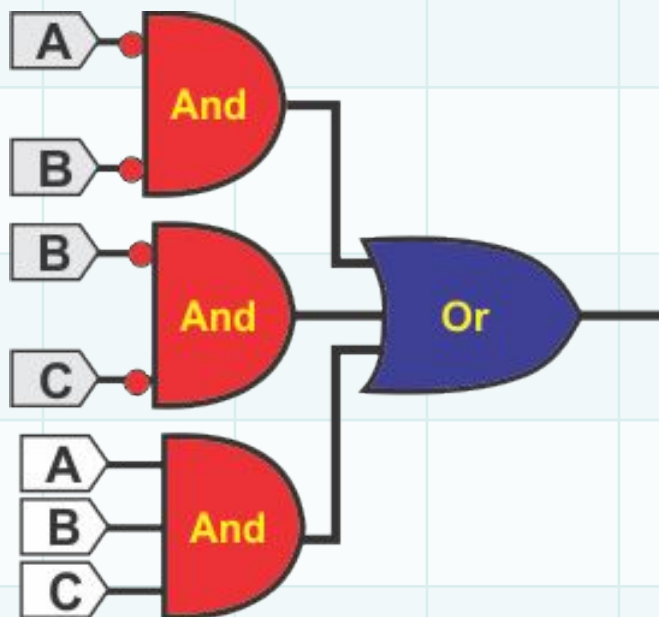
Nand/Nand



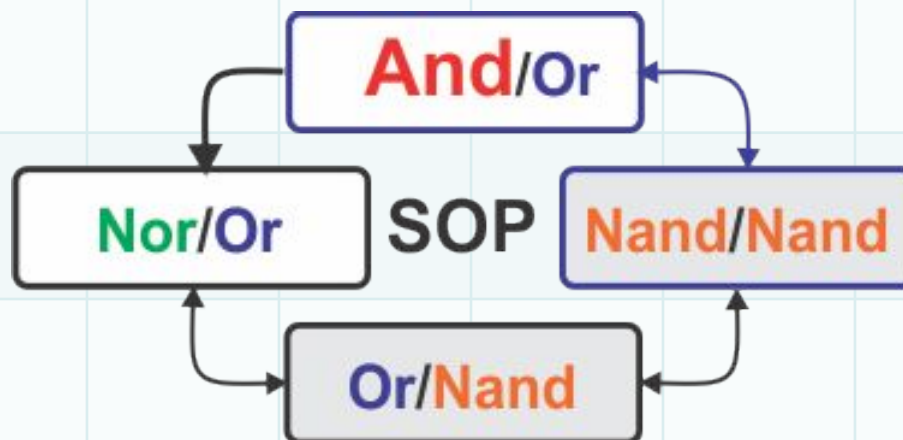
$$[(A'B') \cdot (B'C) \cdot (A B C)]'$$



And/Or

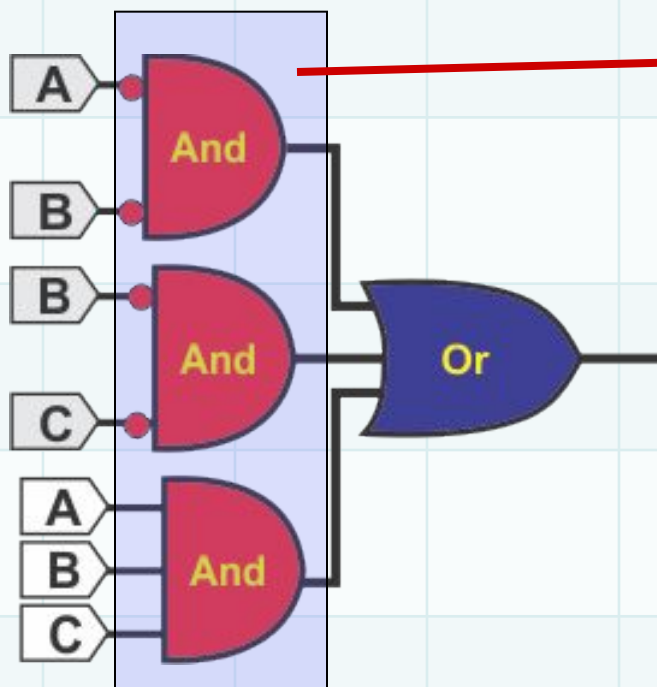


$$A'B' + B'C' + ABC$$



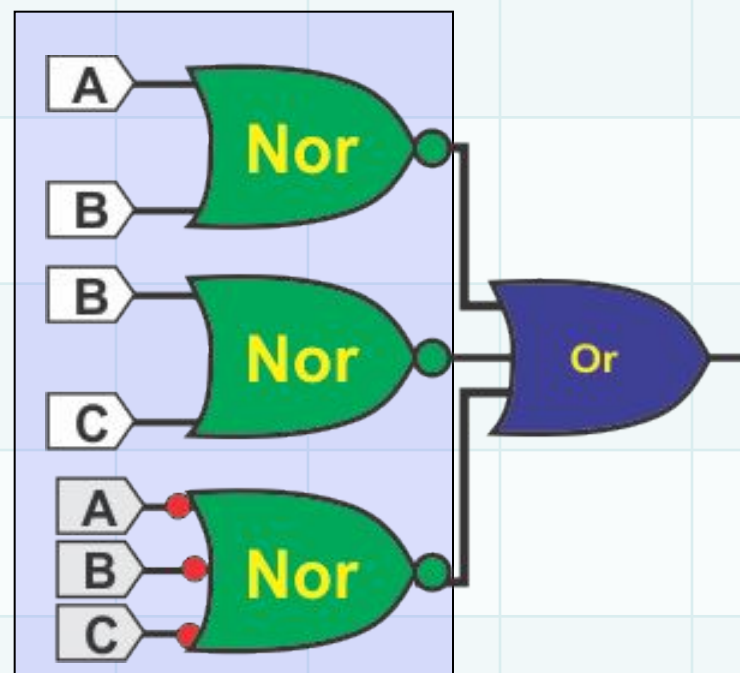
AND → NOR
Negando las entradas

And/Or



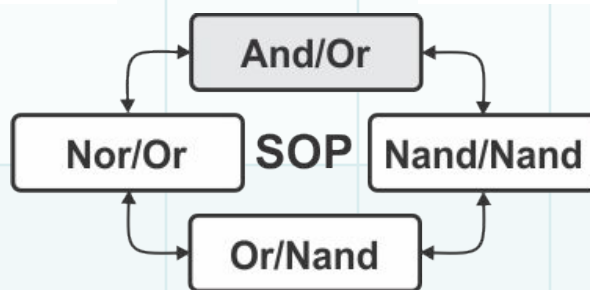
$$A'B' + B'C' + ABC$$

Nor/Or

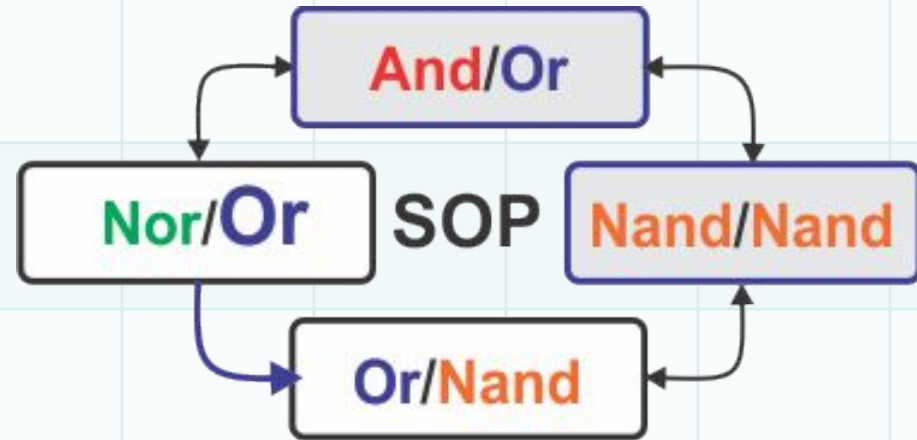
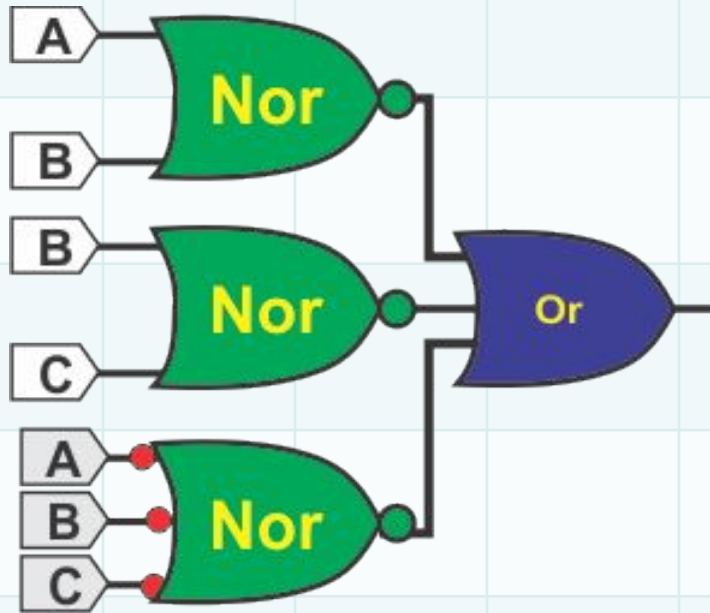


$$(A+B)' + (B+C)' + (A'+B'+C')'$$

AND → NOR
Negando las entradas



Nor/Or



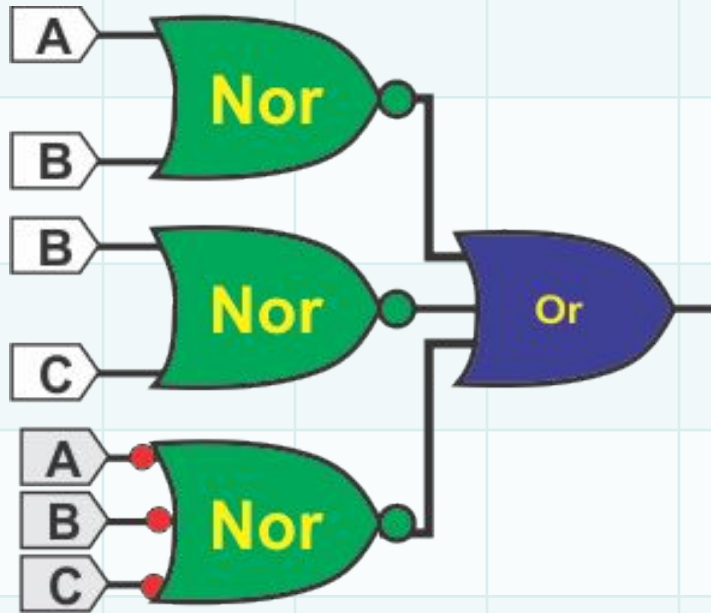
$$(A+B)' + (B+C')' + (A'+B'+C')'$$

OR → NAND

Negando las entradas

Ejemplo

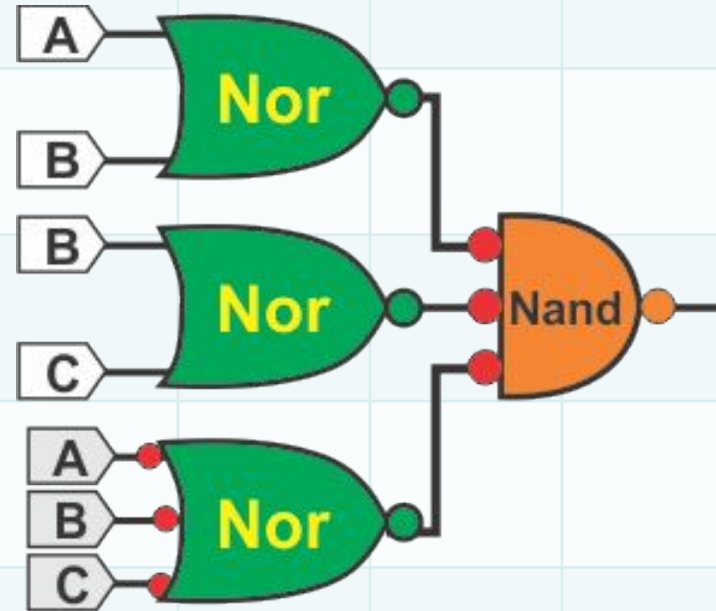
Nor/Or

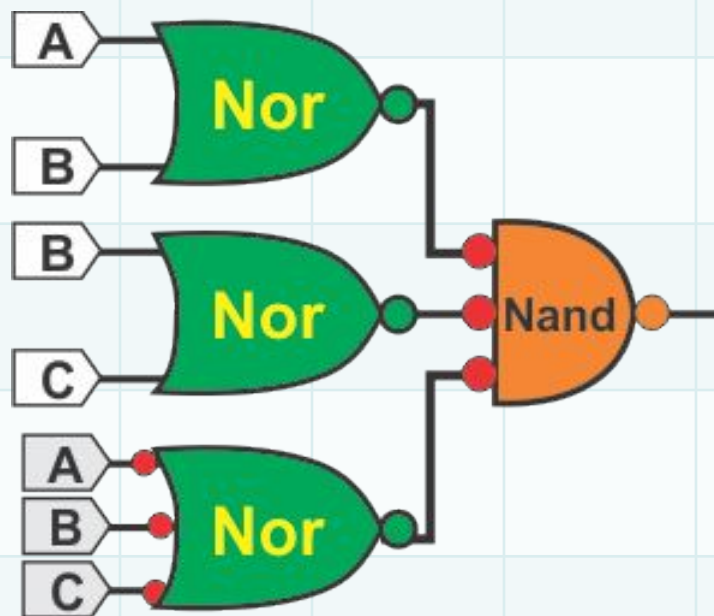


$$(A+B)' + (B+C')' + (A'+B'+C')'$$

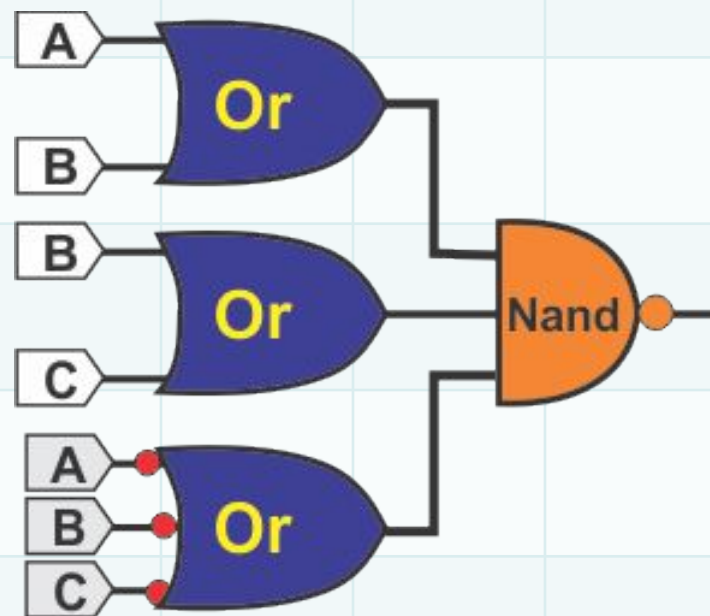
OR → NAND

Negando las entradas





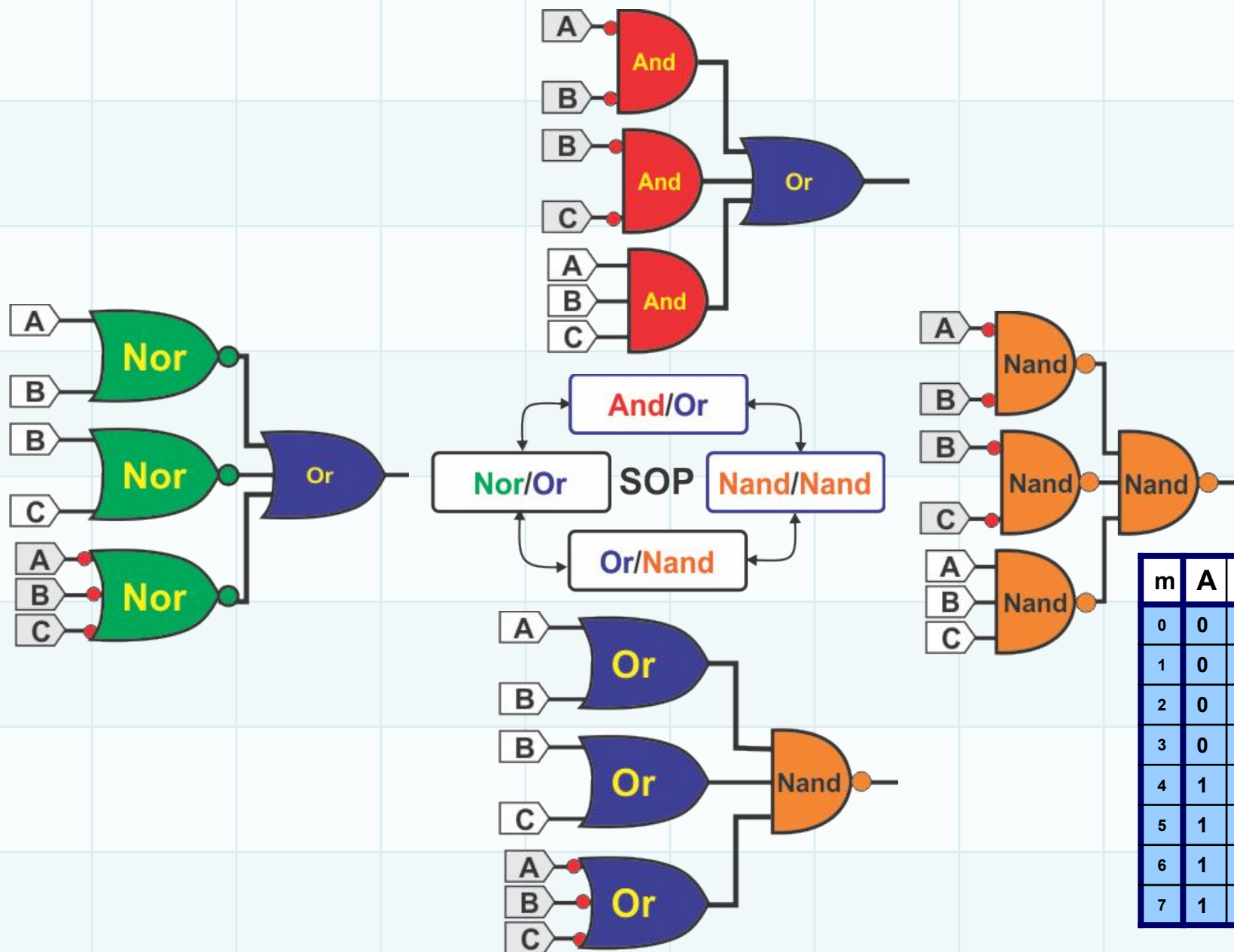
Or/Nand



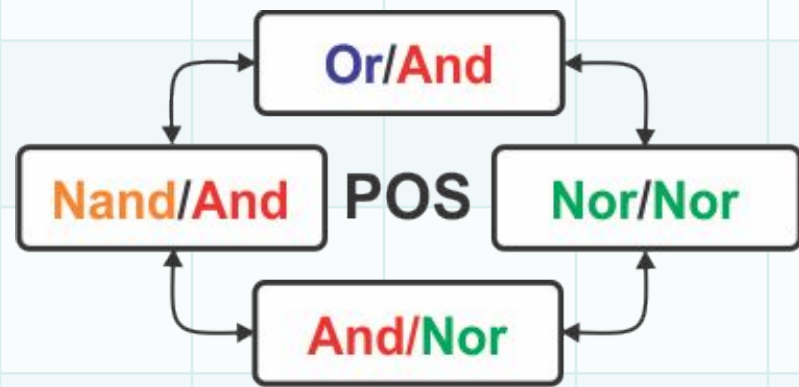
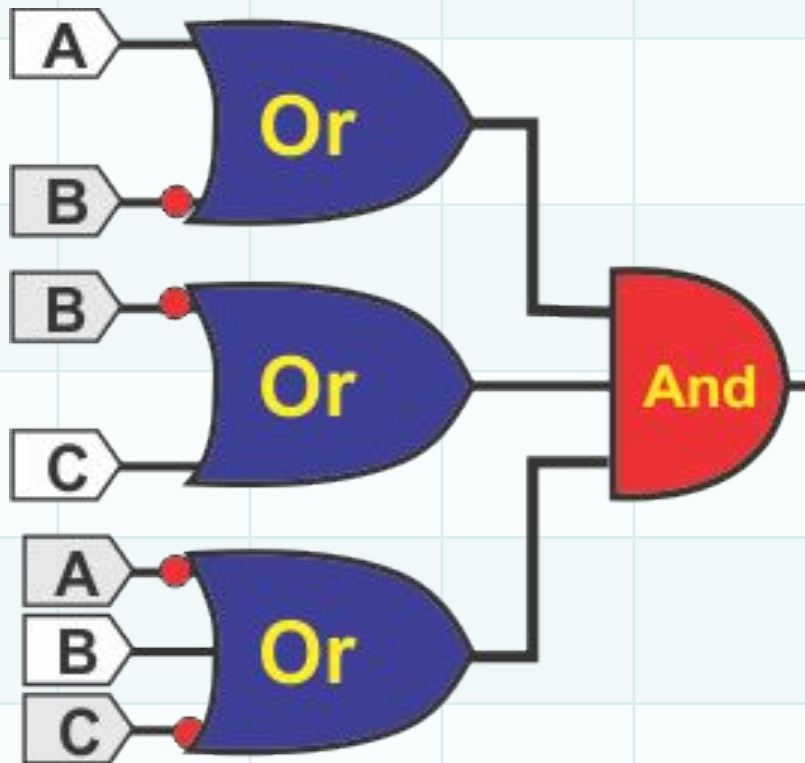
OR → NAND

Negando las entradas

$[(A+B)(B+C')(A'+B'+C')]'$



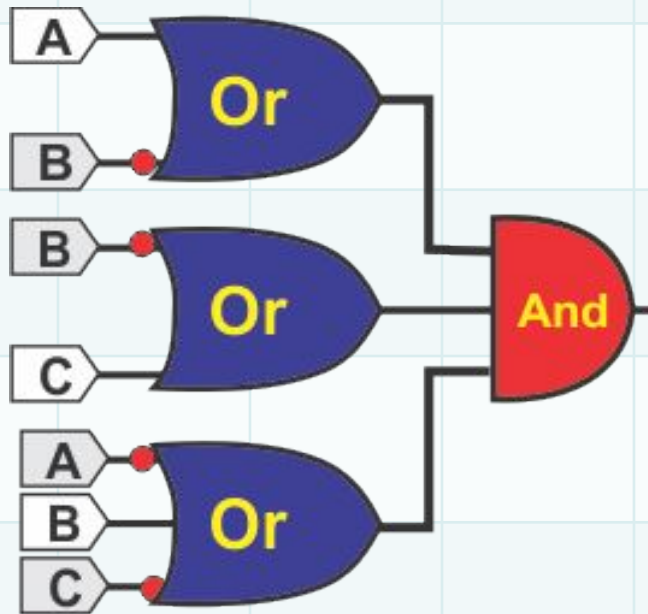
Or/And



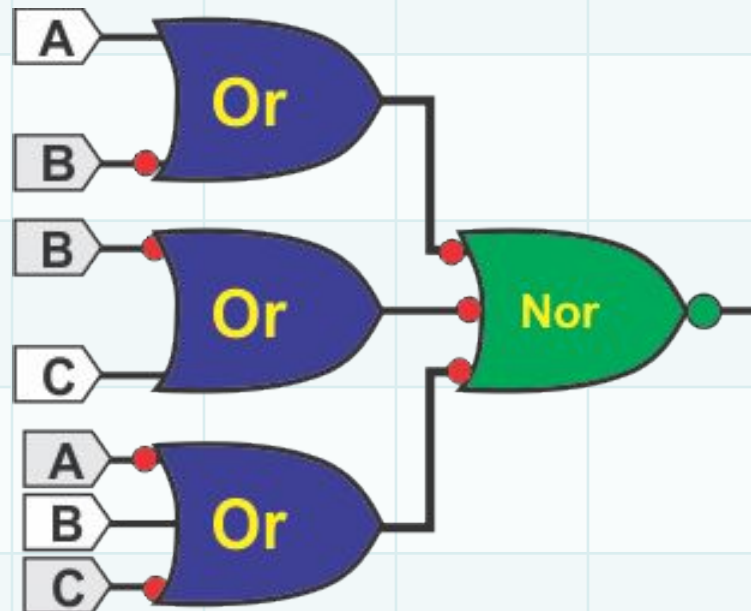
AND → NOR
Negando las entradas

$$(A + B') (B' + C) (A' + B + C')$$

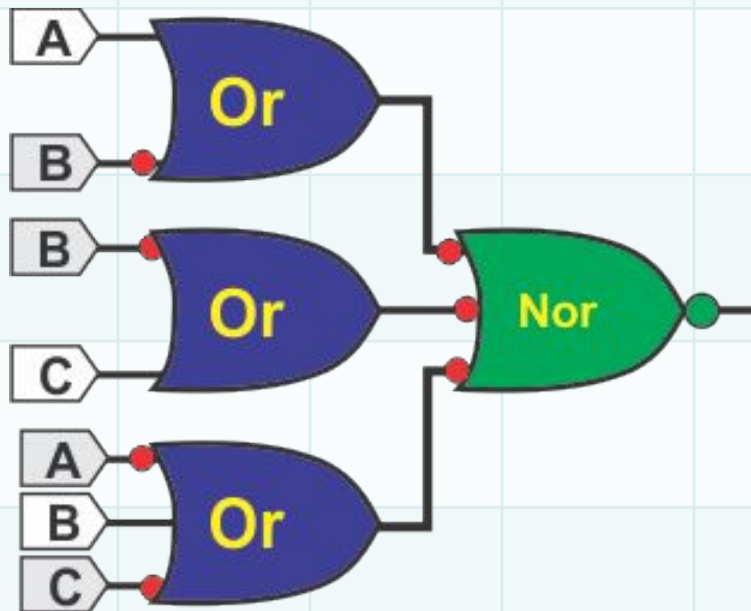
Or/And



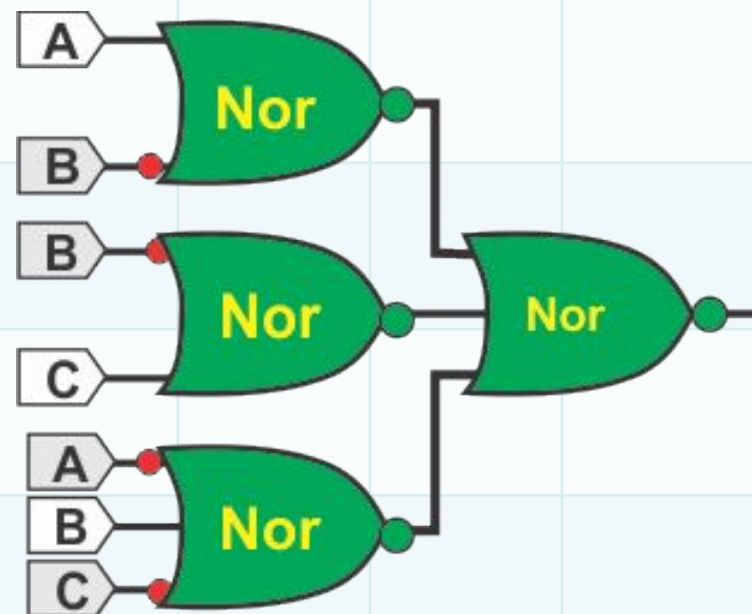
$$(A + B') (B' + C) (A' + B + C')$$



AND → NOR
Negando las entradas

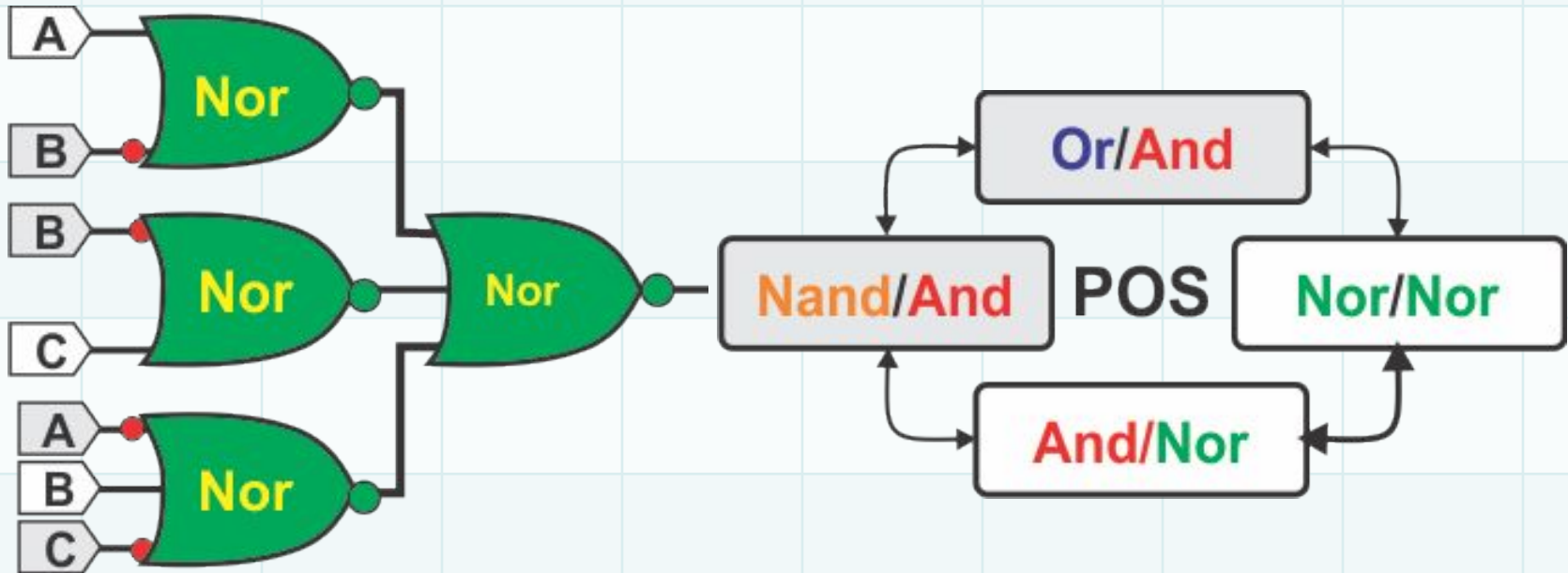


Nor/Nor



$$[(A + B')' + (B' + C)' + (A' + B + C')]'$$

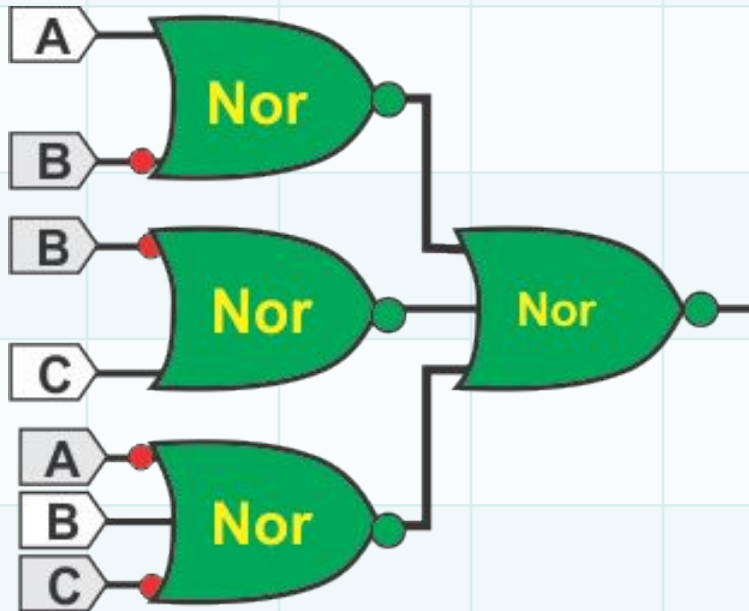
Nor/Nor



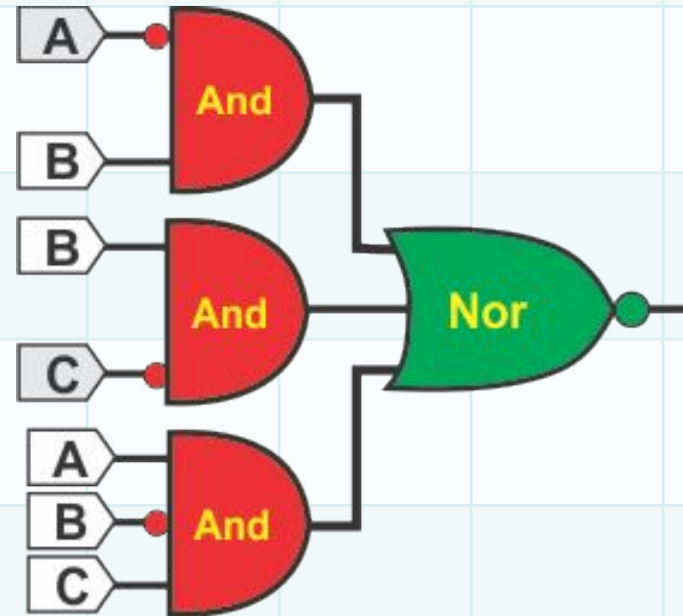
$$[(A+B')' + (B'+C)' + (A'+B+C')]'$$

NOR → AND
Negando las entradas

Nor/Nor

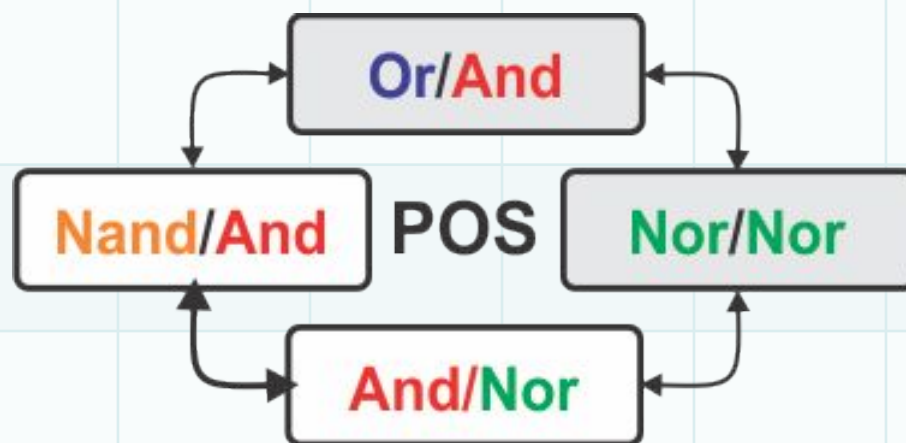
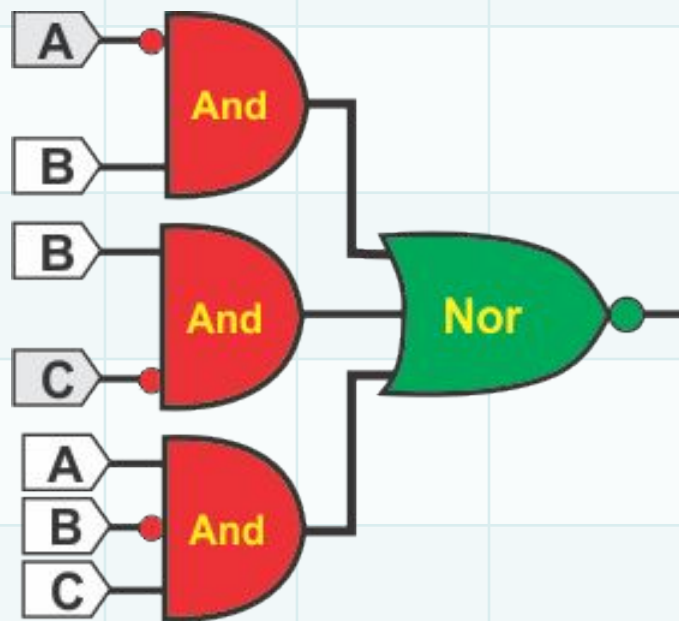


And/Nor



NOR → AND
Negando las entradas

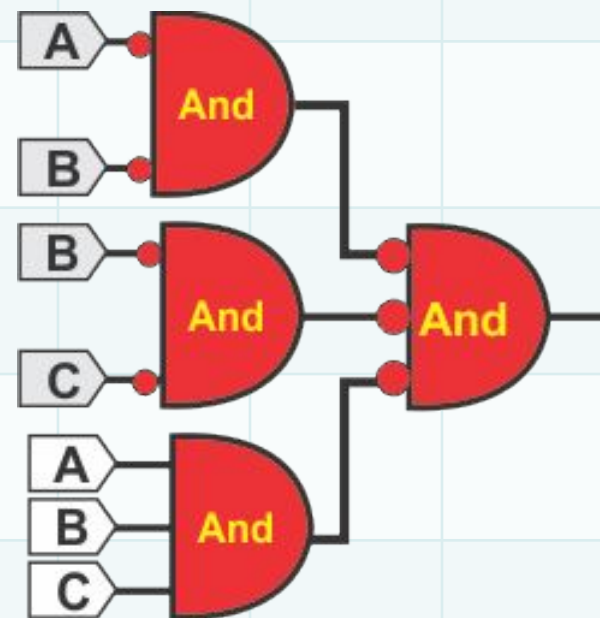
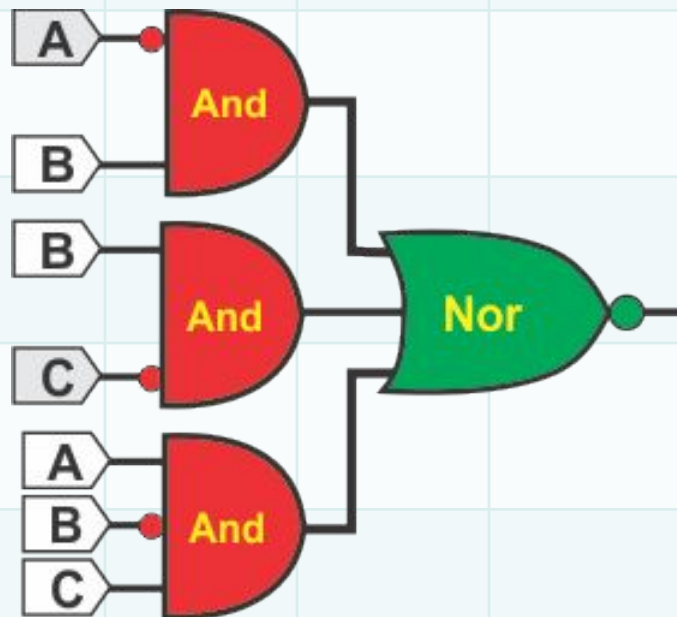
And/Nor



NOR → AND

Negando las entradas

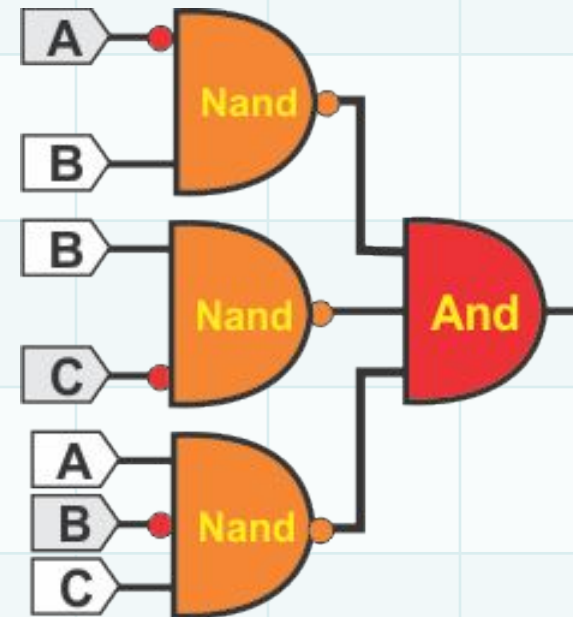
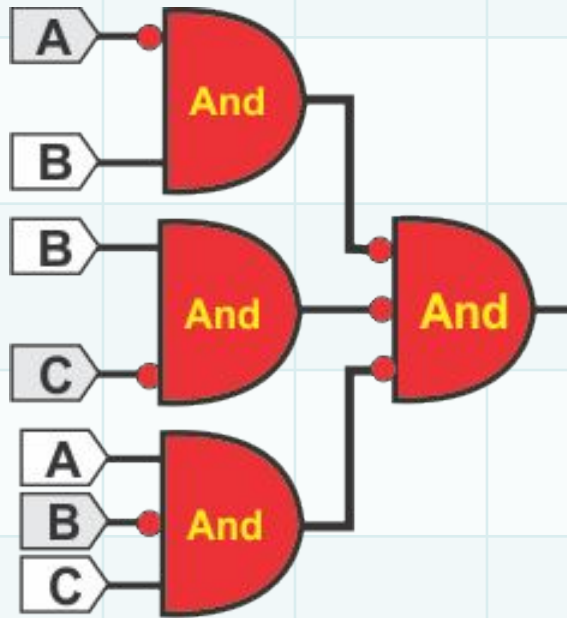
And/Nor

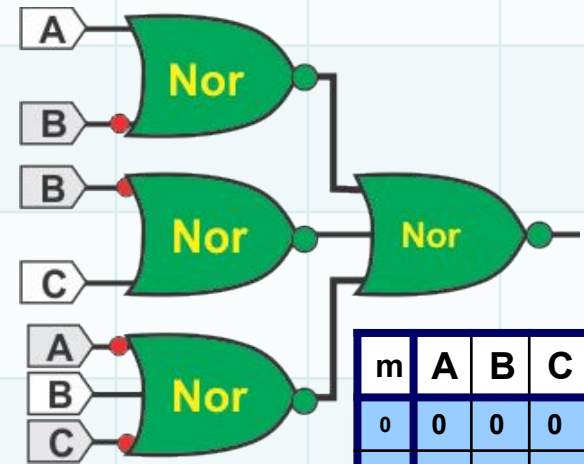
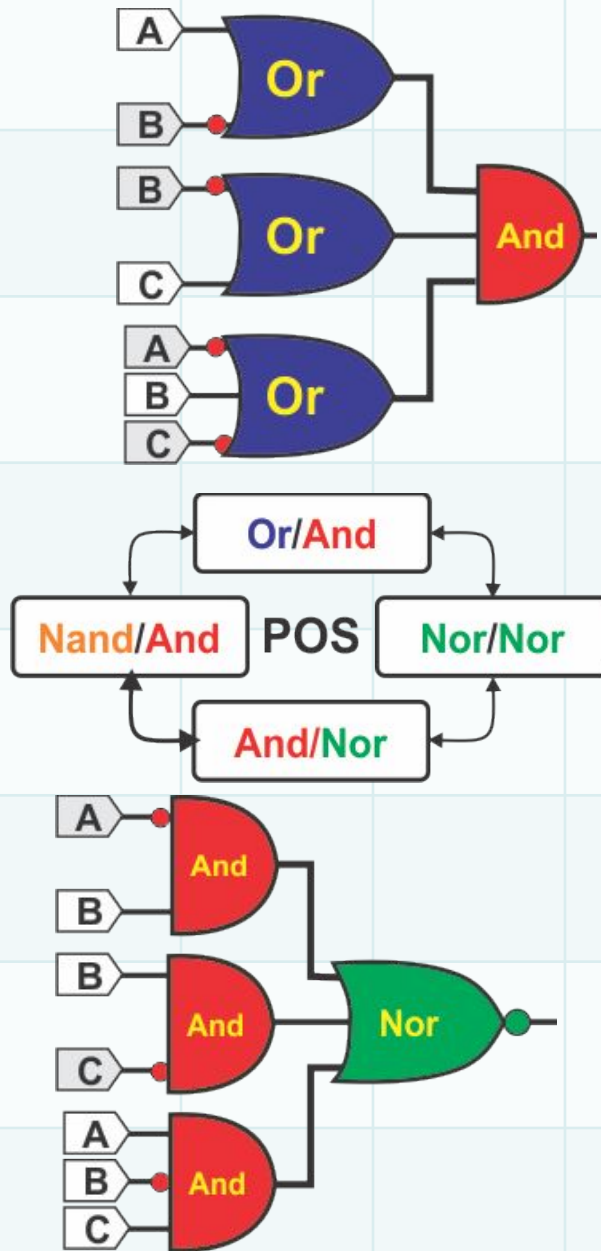
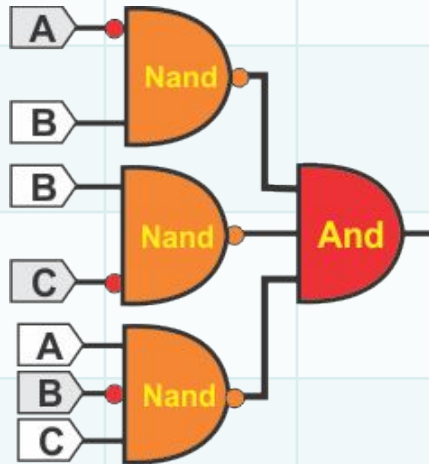


NOR → AND

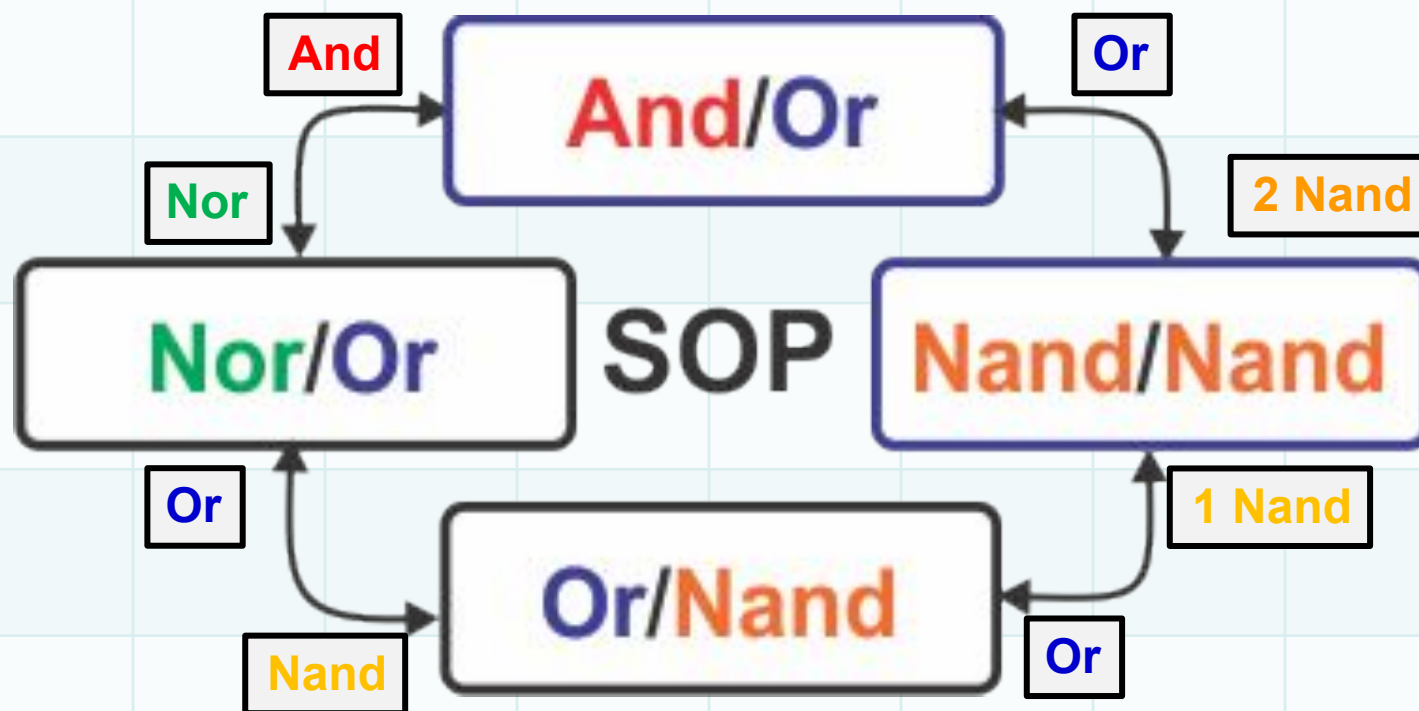
Negando las entradas

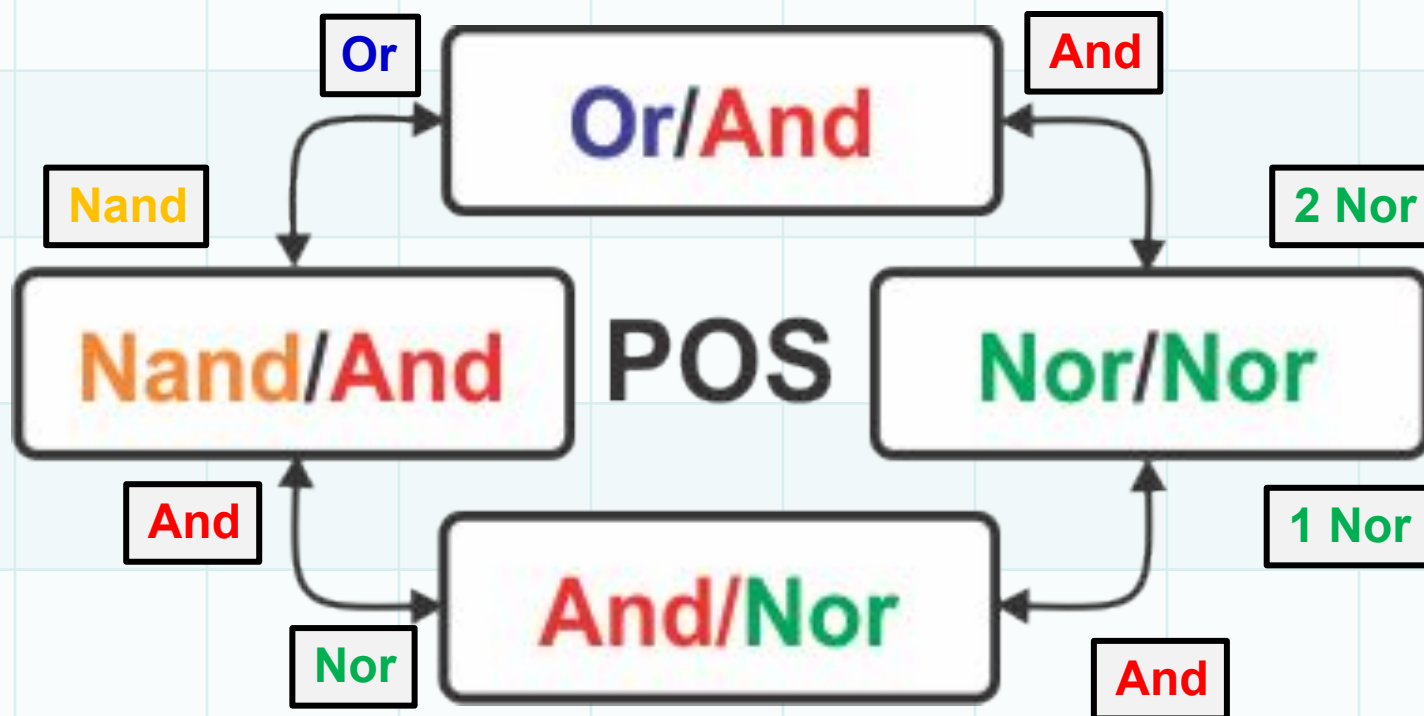
Nand/And





m	A	B	C	S
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

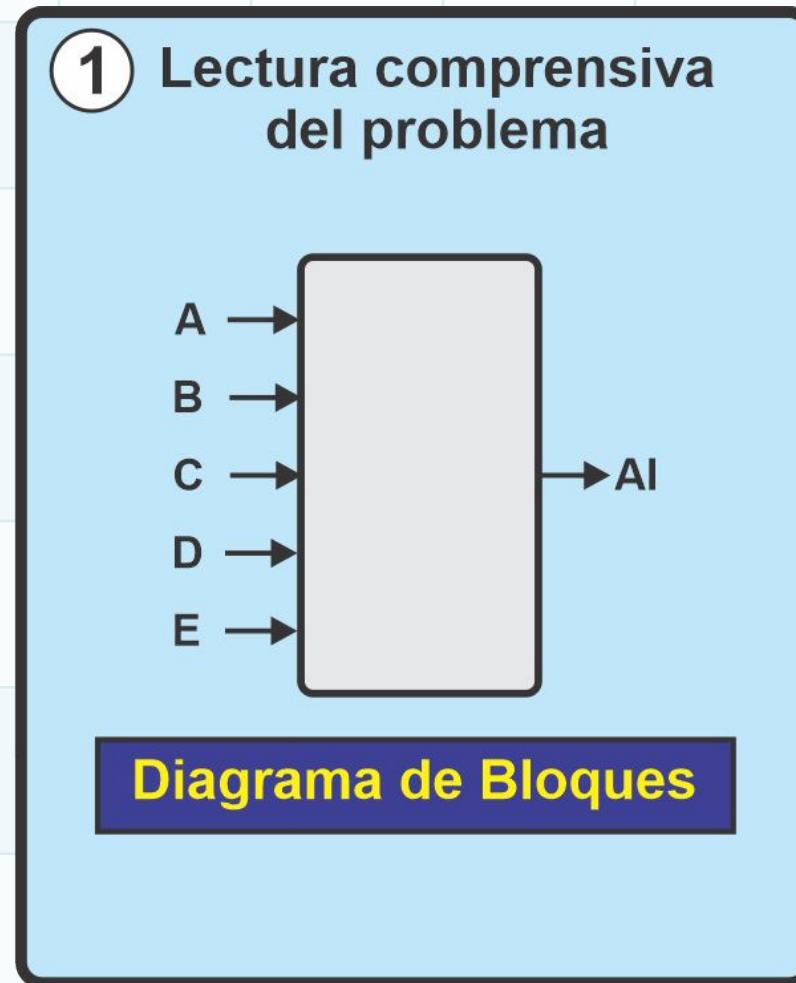




- George Boole, Claude Shanon
- Operadores símbolo, tabla de verdad, ecuación
- Identities
- Propiedades
- Función Booleana
- Circuito → Ecuación
- Ecuación→ Circuito
- Circuito o Ecuación → Tabla de verdad
- Minitermino, Tabla de verdad → Ecuación SOP
- Maxitermino, Tabla de verdad → Ecuación POS
- Captura Esquemática
- Simulación test_vectors, PROTEUS
- Teorema de Dmorgan
- Ocho formas estandard
- LogicAid
- Diseño y simulación de un sistema digital binario

Resumen del Álgebra Booleana Actividad Fundamental 1

1.- Lectura comprensiva del problema



Identificación de variables de Entrada y Salida, Diagrama de Bloques.

2.- Planteamiento

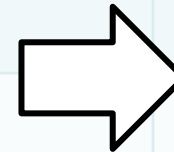
2

Planteamiento Tabla de Verdad

m	A	B	C	D	E	S	L1
0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	0
2	0	0	0	1	0	1	0
3	0	0	0	1	1	2	0
4	0	0	1	0	0	1	0
5	0	0	1	0	1	2	0
6	0	0	1	1	0	2	0
7	0	0	1	1	1	3	1
8	0	1	0	0	0	1	0
9	0	1	0	0	1	2	0
25	1	1	0	0	1	3	1
26	1	1	0	1	0	3	1
27	1	1	0	1	1	4	1
28	1	1	1	0	0	3	0
29	1	1	1	0	1	4	1
30	1	1	1	1	0	4	1
31	1	1	1	1	1	5	1

$$F_{(A, B, C, D, E)} = \sum m(7, 25, 26, 27, \dots)$$

$$F_{(A, B, C, D, E)} = \prod m(0, 1, 2, 3, 4, 5, 6, \dots)$$



Formas Canónicas

SOP (1)

$$L1_{(A, B, C, D, E)} = \sum m(\underline{\quad})$$

POS (0)

$$L1_{(A, B, C, D, E)} = \prod m(\underline{\quad})$$

*Seleccionar la de
menor cantidad
para cada salida*

Trasladar el comportamiento a una Tabla de Verdad identificando los Minitérminos (1) y Maxiterminos (0)

3.- ecuaciones mínimas

3

Ecuaciones Mínimas

LogicAid - P1_O
File Input Routine View Window Help

📄
📁
💾
✂
📄
📁
🖨
❓

P1.aid

Input Variable Names: A B C D E
Output Function Names: A1

9 11 13 15 18 19 20 21 22 23 25 26 27 28 29 30 31.

P1_O

Simplification Routine: Petrick All

A1 = A C + A D + B E

Input Cost = 9 Gate Cost = 4

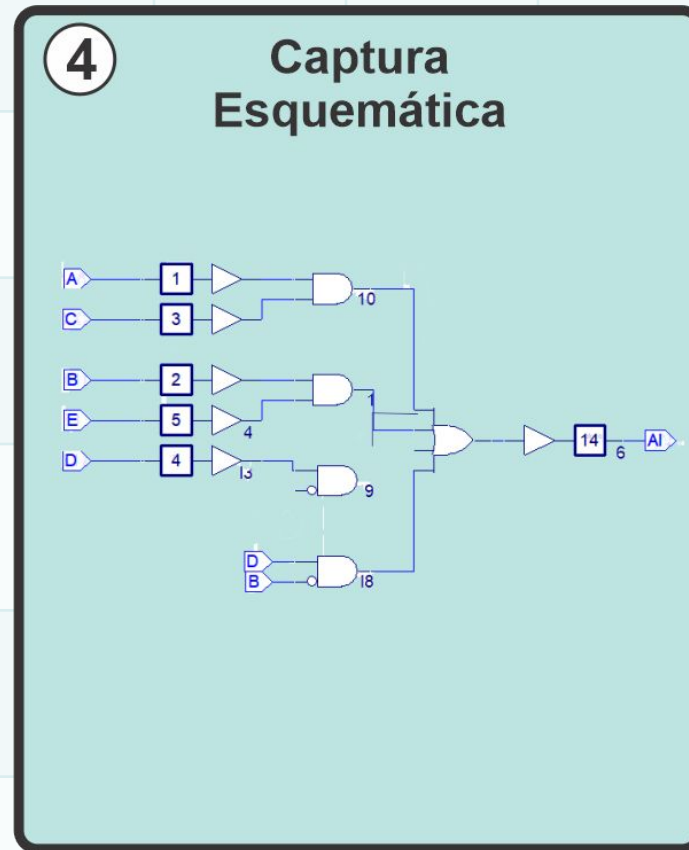
Simplification Routine: PI Chart

A1 = <C + D + E> <B + C + D> <A + E> <A + B>

Input Cost = 14 Gate Cost = 5

Obtener las ecuaciones mínimas con el uso del LogicAid y seleccionar la de menor cantidad de entradas y compuertas

5.- Captura esquemática

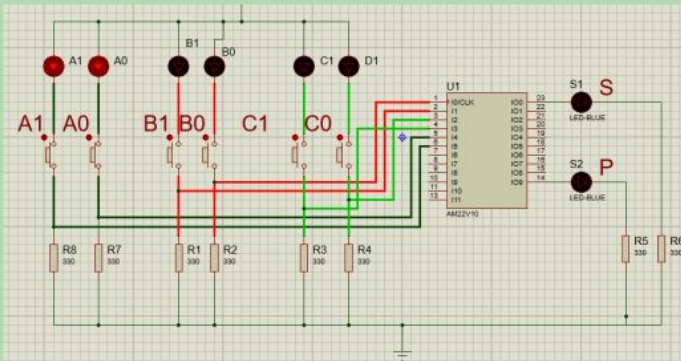
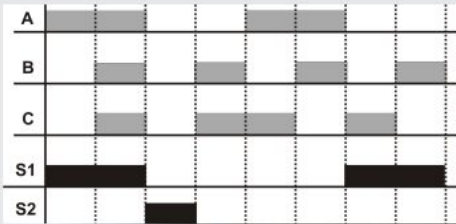


6.- Simulación

5

Simulaciones

Diagrama de tiempos



2

Planteamiento Tabla de Verdad

m	A	B	C	D	E	S	L1
0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	0
2	0	0	0	1	0	1	0
3	0	0	0	1	1	2	0
4	0	0	1	0	0	1	0
5	0	0	1	0	1	2	0
6	0	0	1	1	0	2	0
7	0	0	1	1	1	3	1
8	0	1	0	0	0	1	0
9	0	1	0	0	1	2	0
25	1	1	0	0	1	3	1
26	1	1	0	1	0	3	1
27	1	1	0	1	1	4	1
28	1	1	1	0	0	3	0
29	1	1	1	0	1	4	1
30	1	1	1	1	0	4	1
31	1	1	1	1	1	5	1

$$F(A, B, C, D, E) = \sum m(7, 25, 26, 27, \dots)$$

$$F(A, B, C, D, E) = \prod m(0, 1, 2, 3, 4, 5, 6, \dots)$$

Comparar los resultados de las simulaciones con los valores de las tabla de verdad

7.- programar el dispositivo

6

Programar el
Dispositivo

Seleccionar
Marca tamaño y modelo

Colocar el dispositivo



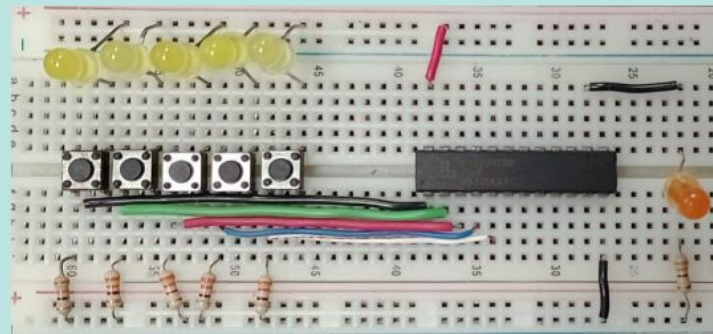
Borrar

Cargar el archivo JEDEC

Programar

Construir el prototipo

7 Construcción del Prototipo



Reporte

8

Reporte y Archivos Entregables



UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

FIME

FACULTAD DE INGENIERÍA MECÁNICA Y ELÉCTRICA



UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN
Facultad de Ingeniería Mecánica y Eléctrica

ELECTRONICA DIGITAL I
AF1: Prototipo de un sistema digital

Darlen Alejandro García Vázquez 1921071 IMTC
Angel Uriel Jiménez Buenrostro 1929275 IMTC

Hora: M2
Enero – Junio
2023

Tiempo Estimado de la Actividad: 10 horas

Maestro: JUAN ANGEL GARZA GARZA

Archivos Entregables	extensión
1 Reporte completo	PDF
2 Archivo de Captura Esquemática	SCH
3 Archivos de las Ecuaciones mínimas	AID y OUT
4 PROTEUS	PSDPRJ
5 Archivo JEDEC	JED
6 Archivo de Simulación ABEL	ABV
7 Animación de la simulación	GIF
8 Presentación	PPT

Fases		
1	Descarga, Instalación y Licencia de los programas de aplicación	Proteus LogicAid Screen To Giff <u>Isp Lever</u>
2	Definición y planificación del proyecto	Diagrama de Bloques Tabla de verdad Miniterminos Maxiterminos
3	LogicAid	Ecuaciones Mínimas
4	IspLEVER	Captura Esquemática Simulación Test_vectors Pin Out Ecuaciones Mínimas
5	Proteus	Diagrama esquemático Simulación
6	Screen To Gif	Gif Animado
7	Construcción del prototipo	
8	Reporte	
9	Presentación Power Point	
10	Archivos entregables	
11	Entrevista	