

Facultad de Ingeniería Mecánica y Eléctrica, U. A. N. L. 2 de noviembre 2018



Actividad de aprendizaje

	Actividad	Puntos	Fecha límite
PF6	Solución del examen	F	<i>Miércoles 8 de octubre</i>
PF7	Diseño Combinacional con HDL	F	<i>Viernes 10 de octubre</i>
PF8	Multiplexor	5	<i>Miércoles 15 de octubre</i>
AF3	Decodificador con Display	10	<i>Lunes 18 de octubre</i>
PF9	Flip Flops	F	<i>Lunes 27 de octubre</i>
PF10	Pulsos de sincronía	5	<i>Viernes 7 de noviembre</i>
AF4	Diseño Secuencial	10	
AF5	PIA	40	Día del examen

- Diagrama de transición de estados partiendo de una redacción.
- Tabla de estado siguiente (lista de cotejo).
- Código Gray en la asignación de valores a los estados.
- ***ELSE IF expression THEN state_expression ELSE state_expression ;***
- Pulso de reloj en forma manual (monoestable) generado por las entradas del sistema.
- **Ar Asynchronous Reset**

Método de Diseño de Sistemas Secuenciales síncronos con el uso de HDL y su implementación en un PLD

- 1.- Especificar el sistema (Diagrama de transición)
- 2.- Determinar la cantidad de Flip Flops
- 3.- Asignar valores a los estados
- 4.- Diagrama de Bloque (entradas y salidas)
- 5.- **Construir la tabla de estado siguiente.**

Base para
describir
un sistema
secuencial

6.- Codificación en ABEL-HDL

- a) Entradas y salidas
- b) Sincronización de los Flip Flops
- c) Asignación de valores a los estados
- d) definir la secuencia (state_diagram o Truth_table)

7.- Simulación

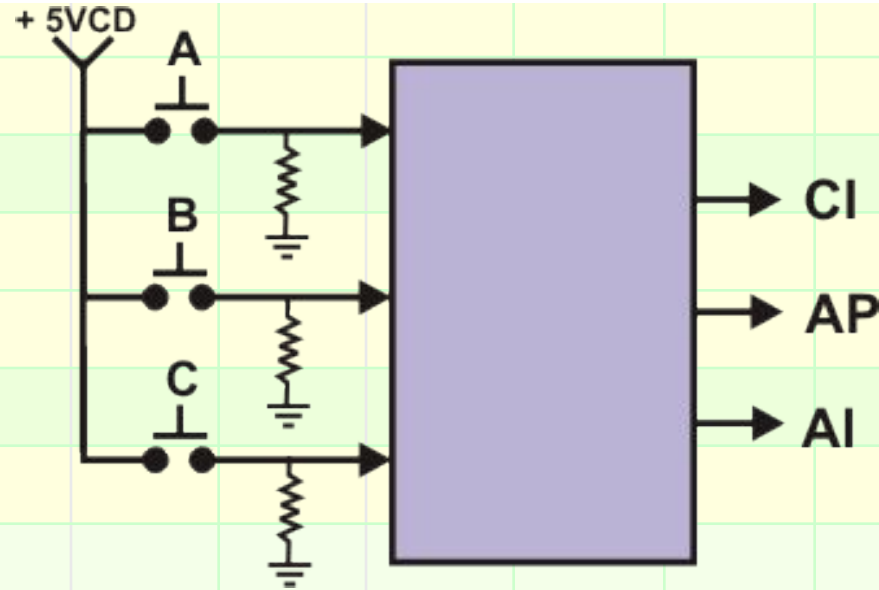
8.- Implementación.

Llave Electrónica (Alarma)

El sistema cuenta con tres botones de entrada llamados A, B y C para proporcionar un código en secuencia .

Se requieren de tres salidas:

Condiciones Iniciales, Abrir Puerta y Alarma. (CI, AP y AL)

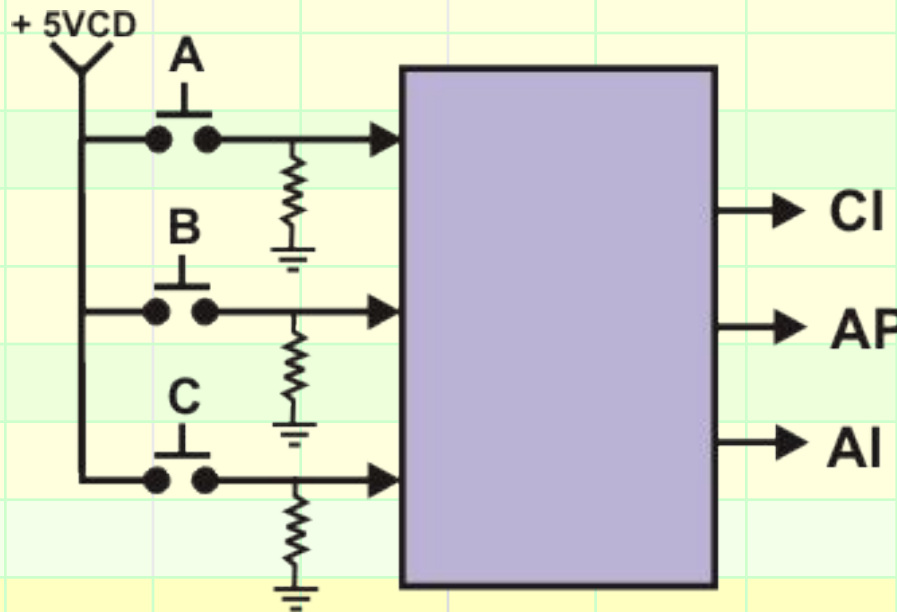


Llave Electrónica (Alarma)

La salida Condiciones Iniciales por medio de un uno ($CI=1$) indica que el sistema está listo para aceptar un nuevo código de entrada.

La salida Abrir Puerta será igual a uno ($AP=1$) solamente cuando haya validado el código de entrada.

La salida Alarma será uno ($AL=1$) cuando el código de entrada no sea el adecuado.



Llave Electrónica (Alarma)

Funcionamiento

- a) Partiendo de Condiciones Iniciales ($CI=1$), si se oprimen los botones en secuencia **A, C, B** (uno a la vez), el sistema deberá activar la señal de Abrir puerta ($AP=1$).
- b) Una vez abierta la puerta con cualquier botón que se oprima la puerta se cerrará ($AP=0$), y el sistema regresará a condiciones iniciales.
- c) Con cualquier secuencia diferente de A C B que se oprima el sistema activará una alarma ($AL=1$).
- d) Una vez activada la alarma, para desactivarla ($AL=0$) se deberá de oprimir la secuencia **B, A, C** y regresar a condiciones iniciales ($CI=1$).

Considere para cada estado en la programación la posibilidad de que al no oprimirse ningún botón debe de permanecer en el mismo estado.

Diagrama de Transición



- a) Partiendo de Condiciones Iniciales (CI=1), si se oprimen los botones en secuencia **A, C, B** (uno a la vez), el sistema deberá activar la señal de Abrir puerta (AP =1).

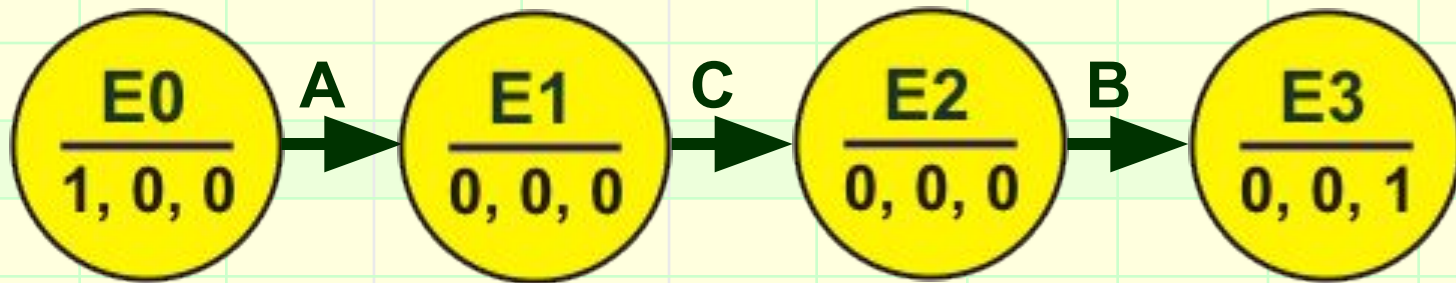
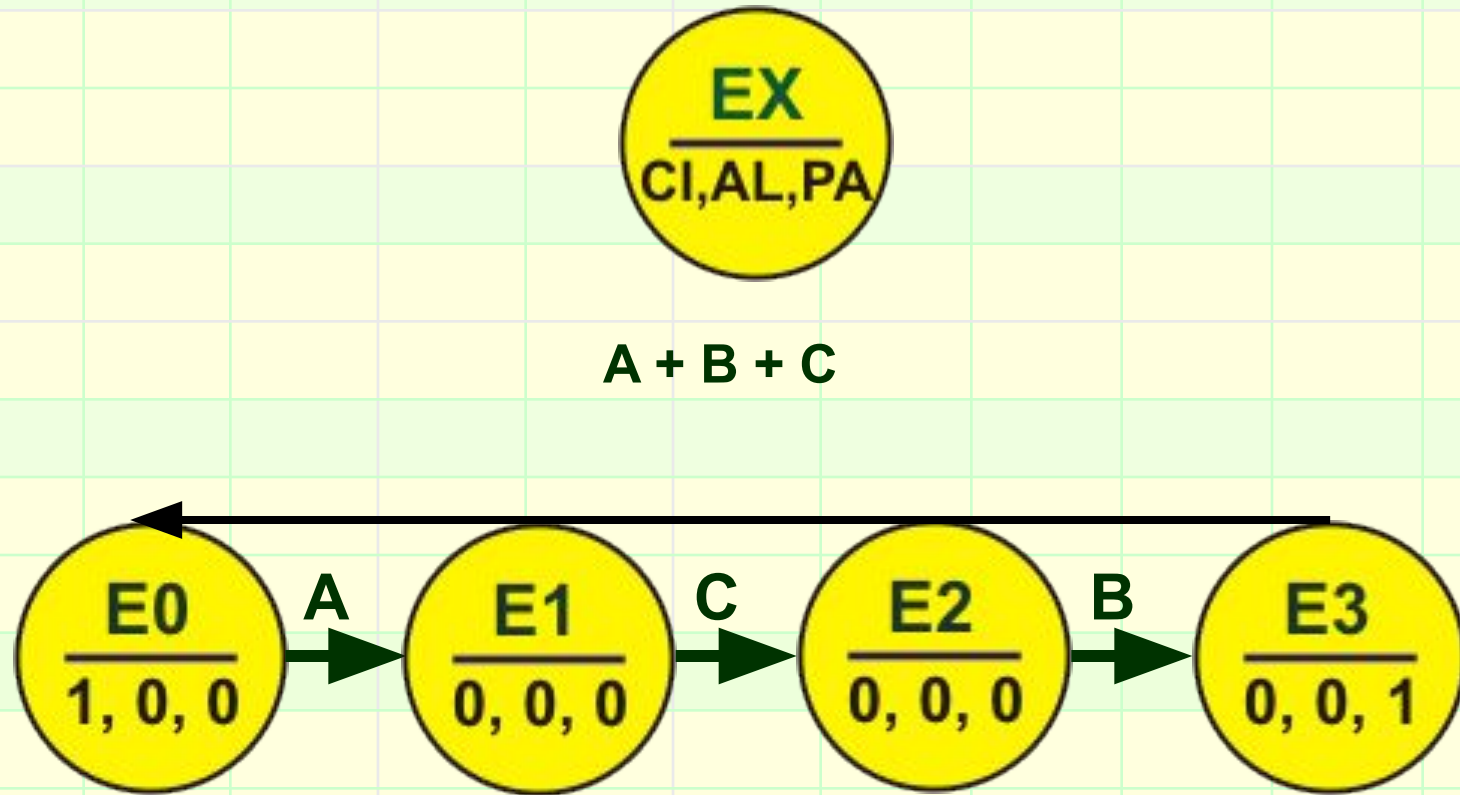


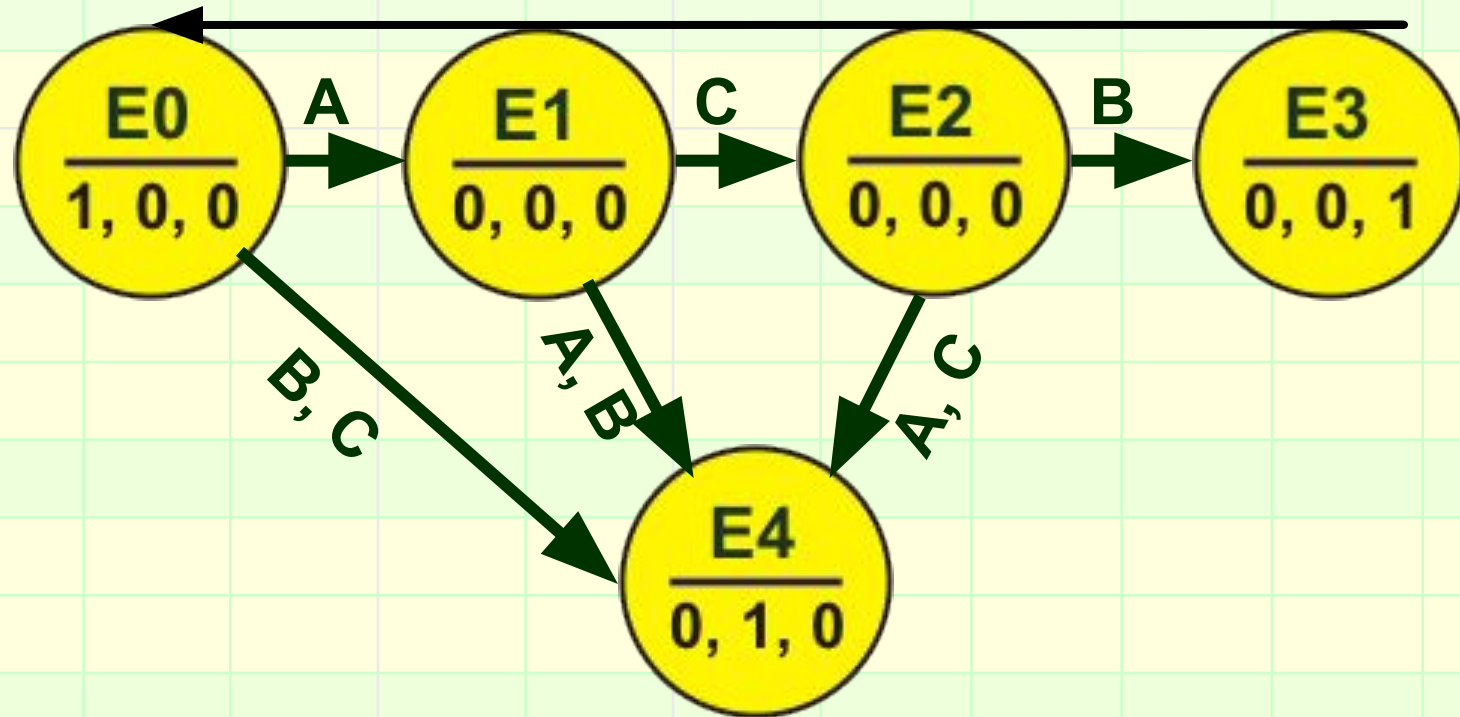
Diagrama de Transición



b) Una vez abierta la puerta con cualquier botón que se oprima el sistema regresará a condiciones iniciales cerrando la puerta.

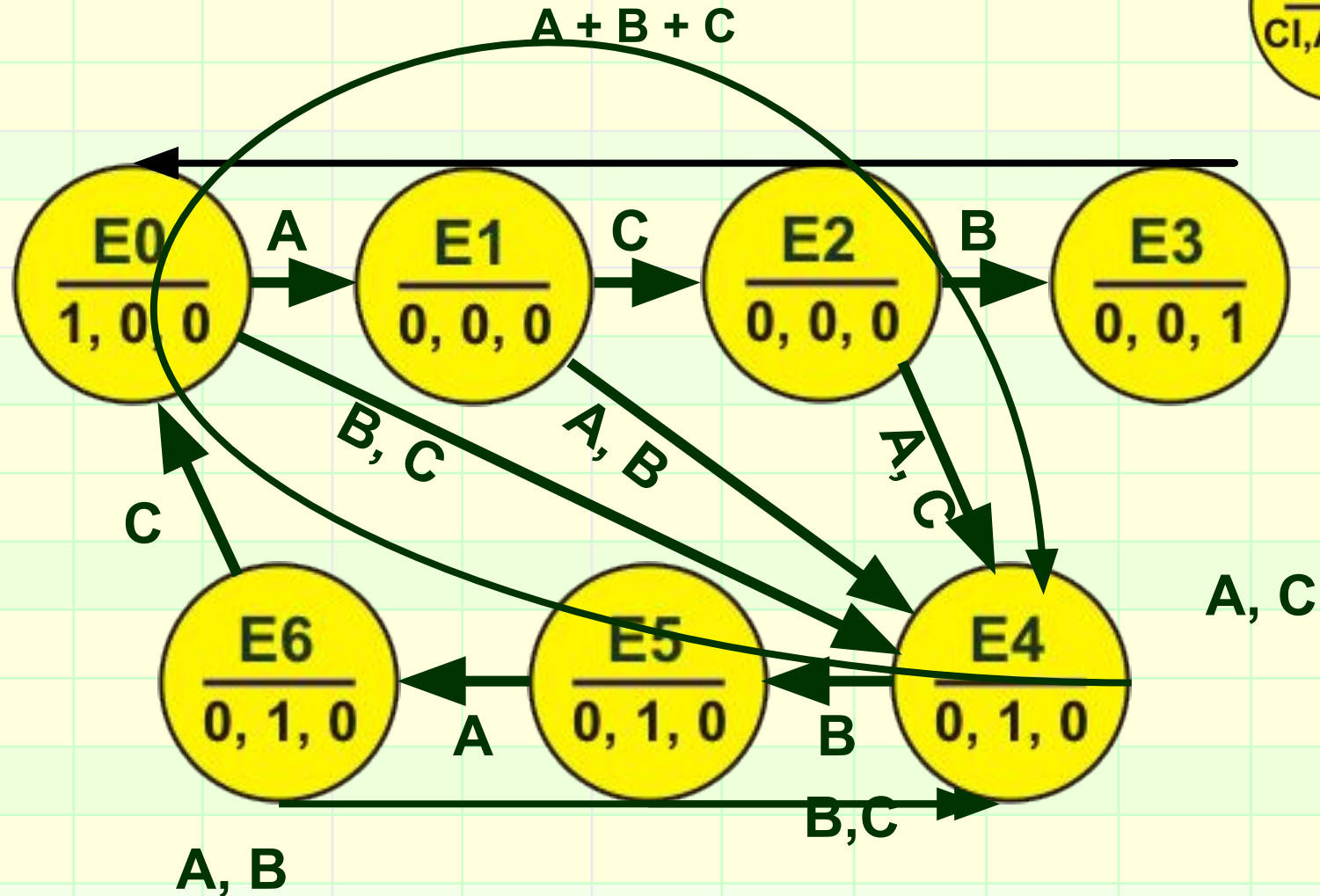
Diagrama de Transición

$A + B + C$



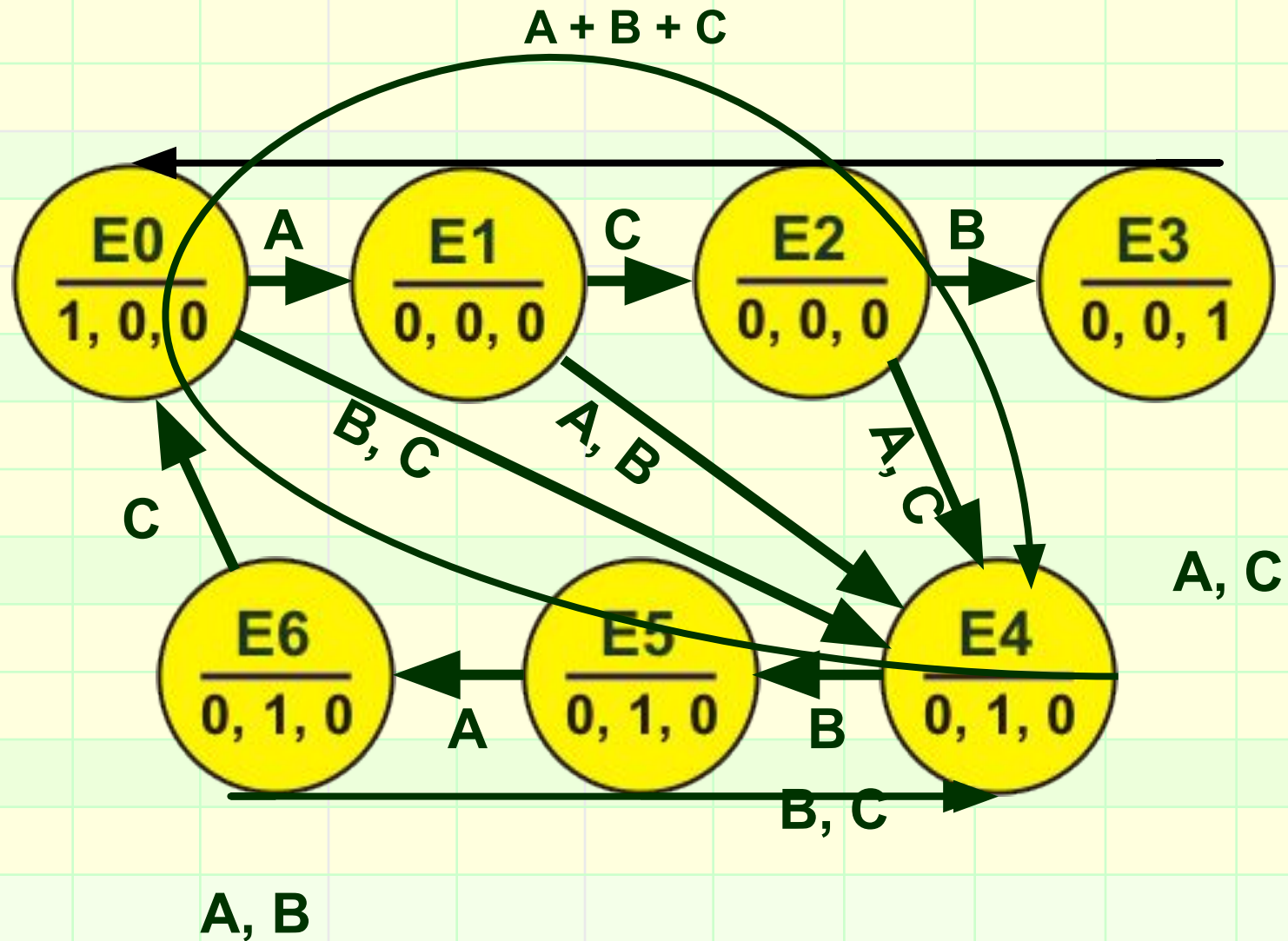
c) Con cualquier secuencia diferente de A C B que se oprima el sistema activará una alarma (AL=1).

Diagrama de Transición



d) Una vez activada la alarma, para desactivarla ($AL=0$) se deberá de oprimir la secuencia **B, A, C**. y regresar a condiciones iniciales ($CI=1$),

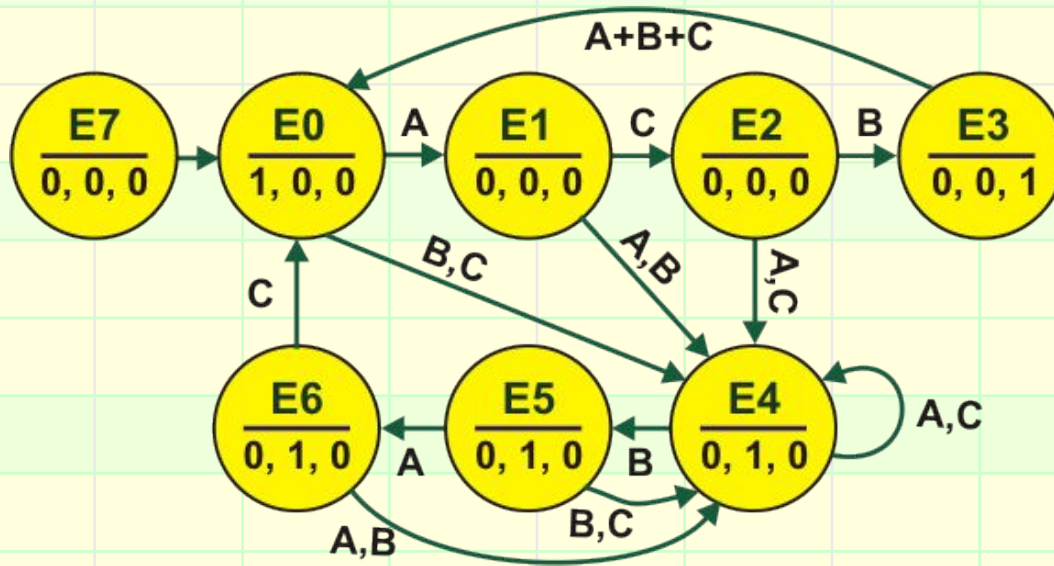
Diagrama de Transición



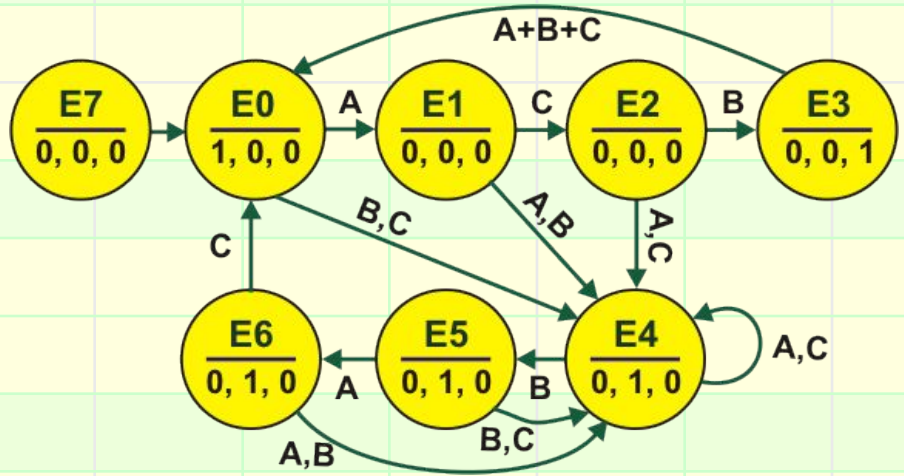
Especificar el sistema

8 Estados
E0 A E7

3 Flip Flops



Especificar el sistema



	Q2	Q1	Q0	CI	AL	AP
E0	0	0	0	1	0	0
E1	0	0	1	0	0	0
E2	0	1	1	0	0	0
E3	0	1	0	0	0	1
E4	1	1	0	0	1	0
E5	1	1	1	0	1	0
E6	1	0	1	0	1	0
E7	1	0	0	0	0	0

Asignación en código gray
Entre estados consecutivos
un solo cambio

Diagrama de Bloques

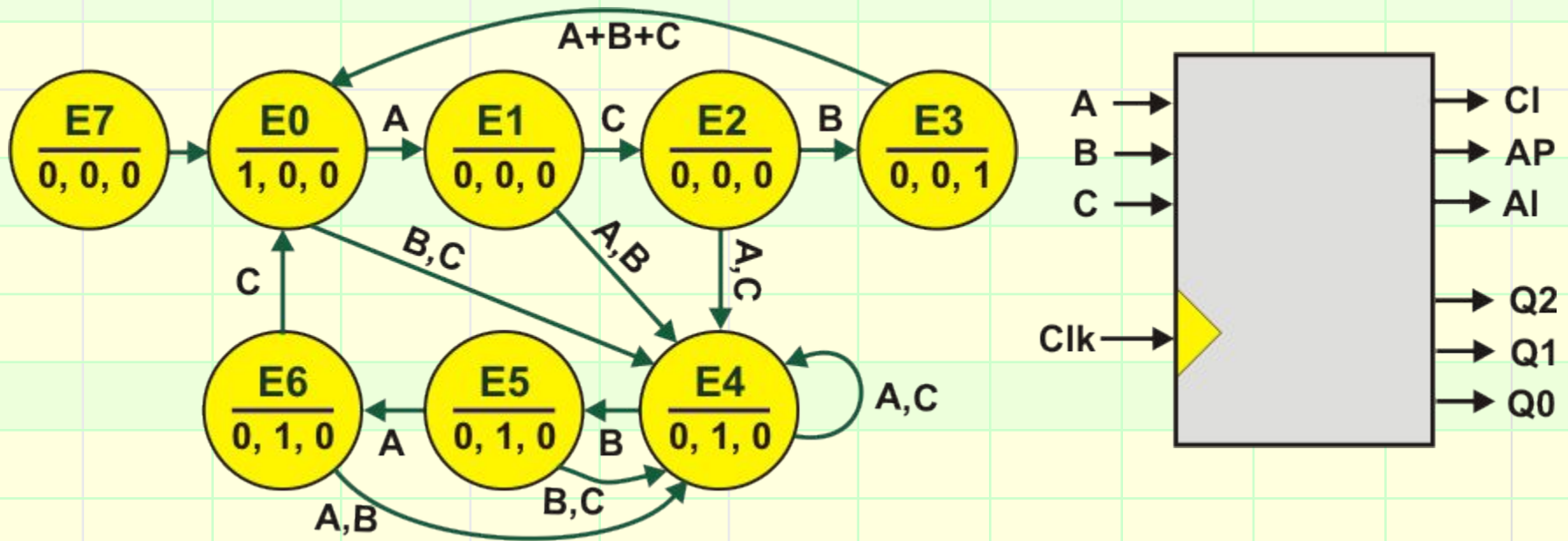
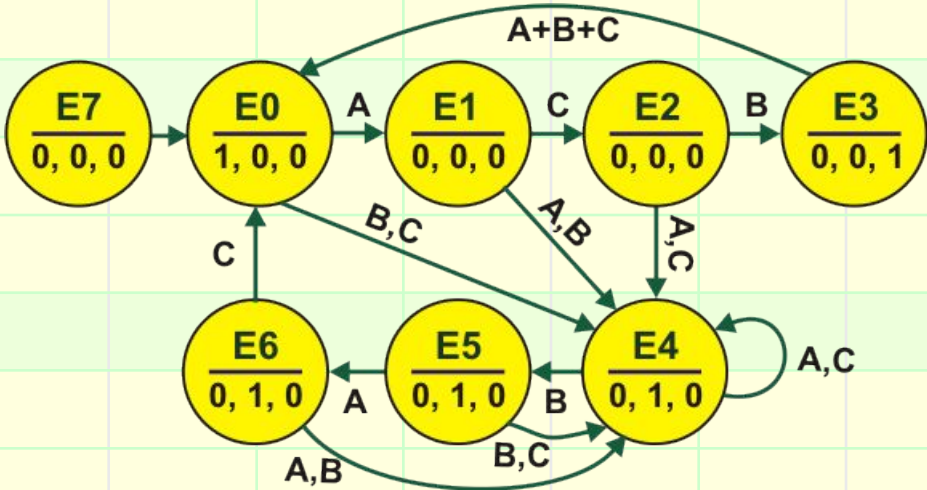


Tabla de estado
siguiente

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	AP
E0									1	0	0
E1									0	0	0
E2									0	0	0
E3									0	0	1
E4									0	1	0
E5									0	1	0
E6									0	1	0
E7									0	0	0

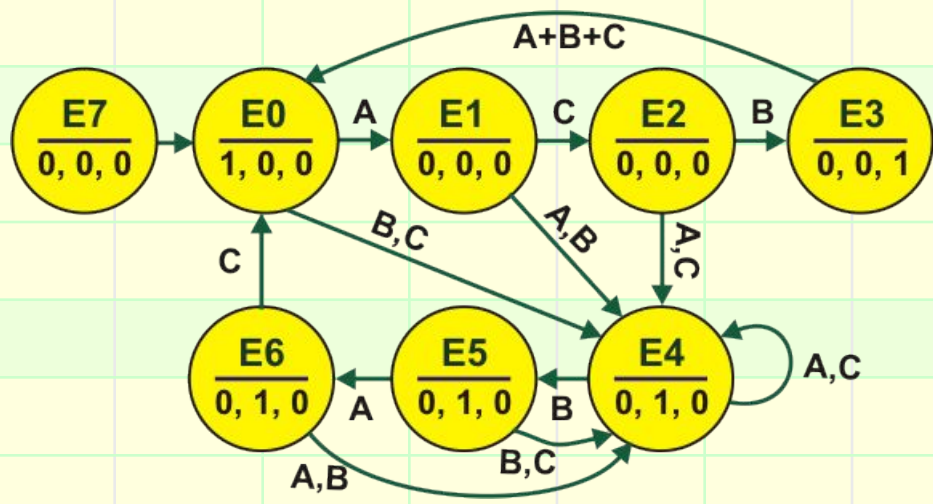
Tabla de estados



A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0								
E1								
E2								
E3								
E4								
E5								
E6								
E7								

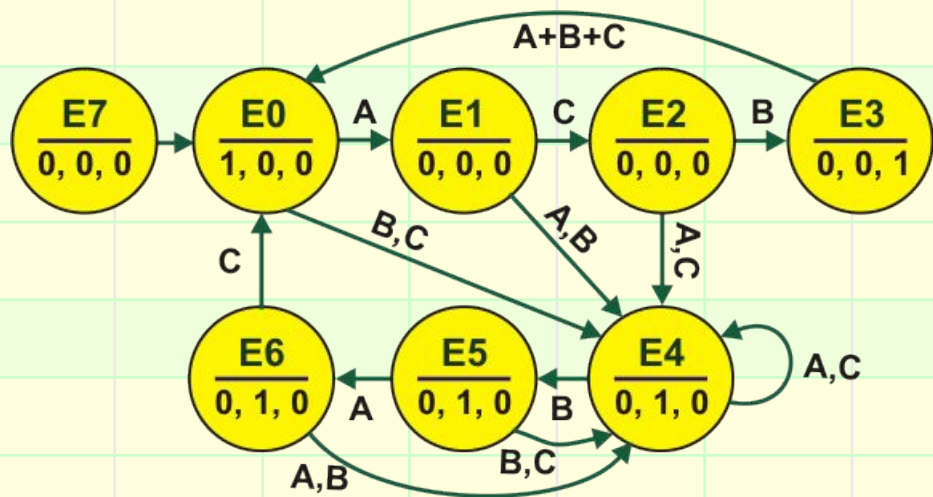
Tabla de estados

Estando en Condiciones iniciales E0
Cual debe de ser el estado próximo
Si no se oprime ningún botón



A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	?							
E1								
E2								
E3								
E4								
E5								
E6								
E7								

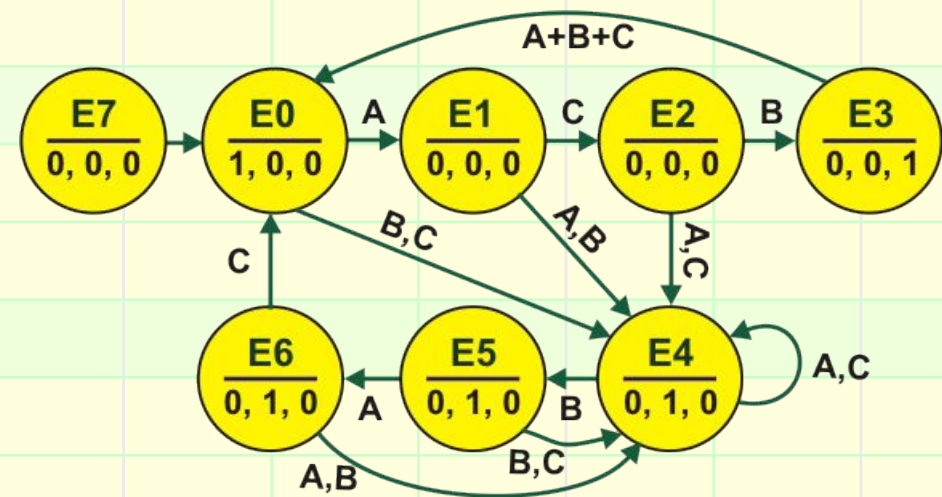
Tabla de estados



A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0							
E1								
E2								
E3								
E4								
E5								
E6								
E7								

Tabla de estados

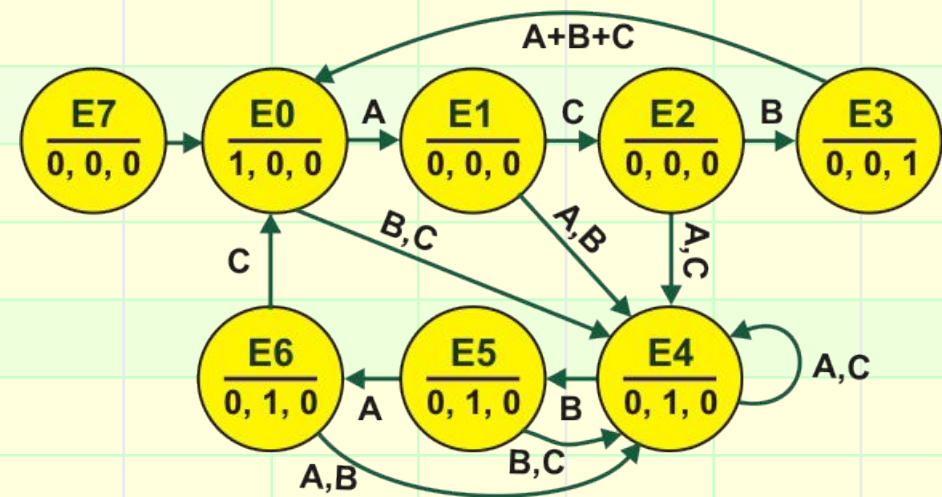
Y para todos los estados E0 A E7
Cual debe de ser el estado próximo
Si no se oprime ningún botón



A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0							
E1	E1							
E2								
E3								
E4								
E5								
E6								
E7								

Tabla de estados

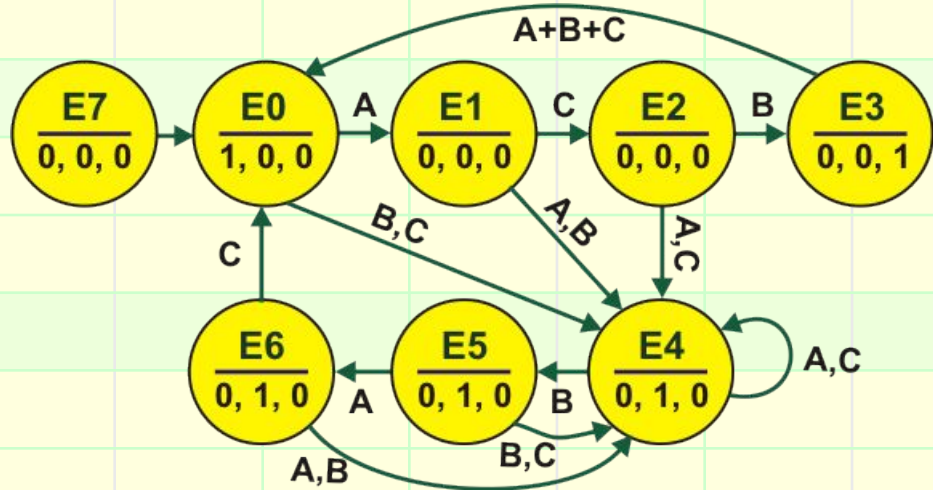
Y para todos los estados E0 A E7
Cual debe de ser el estado próximo
Si no se oprime ningún botón



A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0							
E1	E1							
E2								
E3								
E4								
E5								
E6								
E7								

Tabla de estados

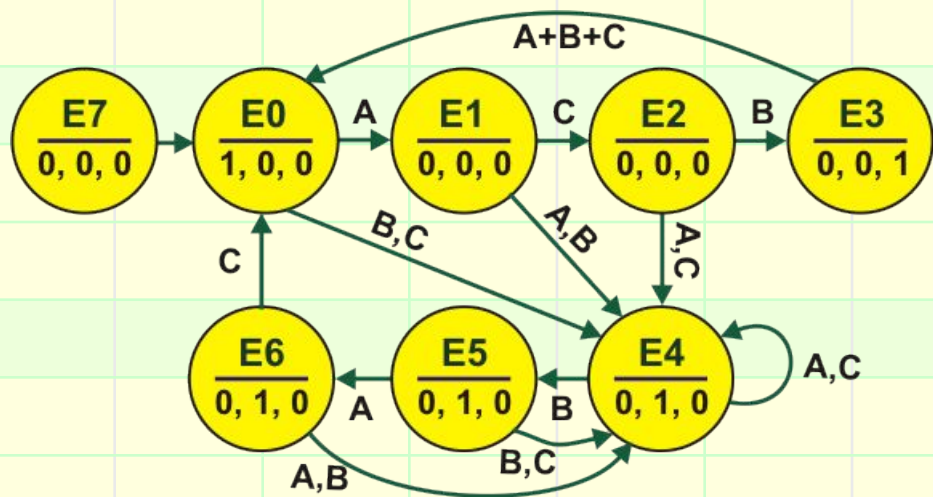
Y para todos los estados E0 A E7
Cual debe de ser el estado próximo
Si no se oprime ningún botón



Nota: Si no se oprime ningún botón, el sistema deberá de permanecer en el mismo estado

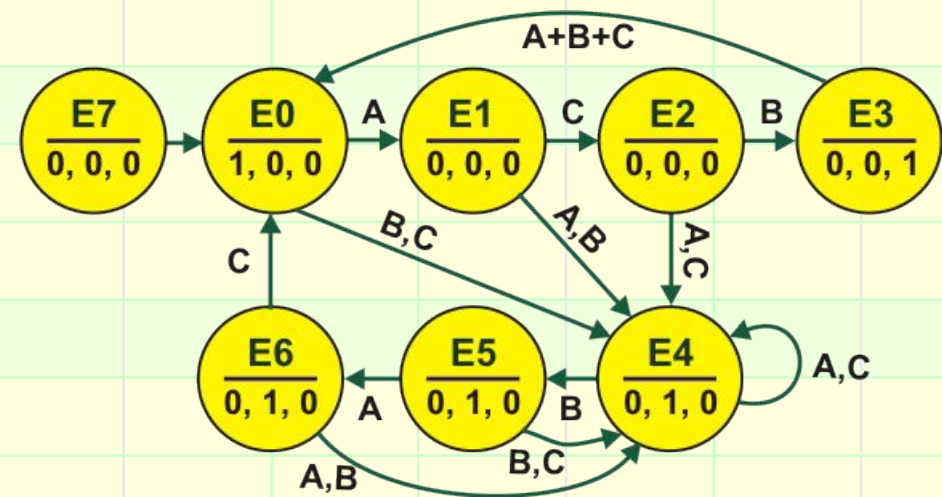
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0							
E1	E1							
E2	E2							
E3	E3							
E4	E4							
E5	E5							
E6	E6							
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



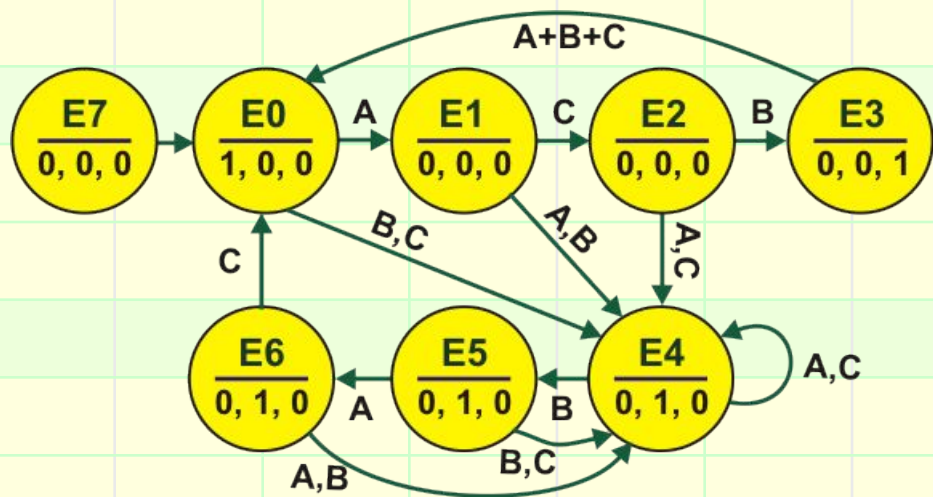
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4						
E1	E1	E2						
E2	E2	E4						
E3	E3	E0						
E4	E4	E4						
E5	E5	E4						
E6	E6	E0						
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



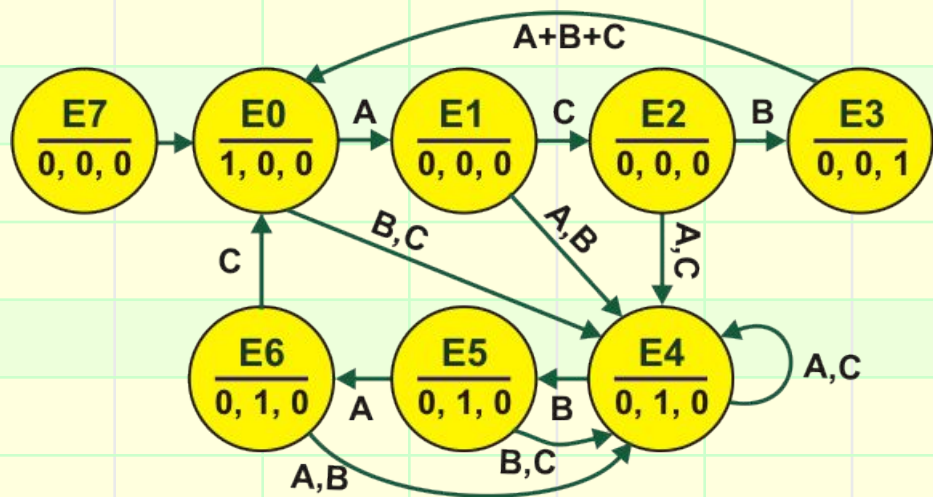
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4					
E1	E1	E2	E4					
E2	E2	E4	E3					
E3	E3	E0	E0					
E4	E4	E4	E5					
E5	E5	E4	E4					
E6	E6	E0	E4					
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



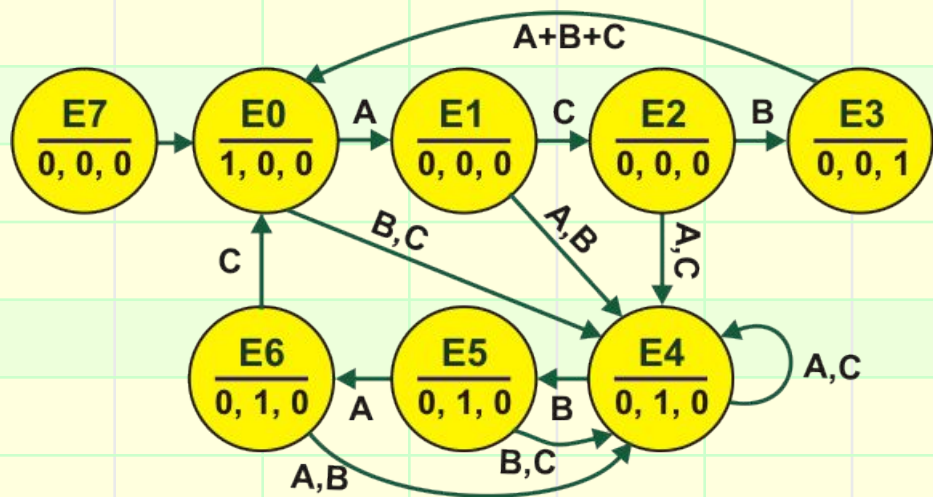
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4	E4				
E1	E1	E2	E4	E4				
E2	E2	E4	E3	E4				
E3	E3	E0	E0	E0				
E4	E4	E4	E5	E4				
E5	E5	E5	E4	E4				
E6	E6	E0	E4	E4				
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



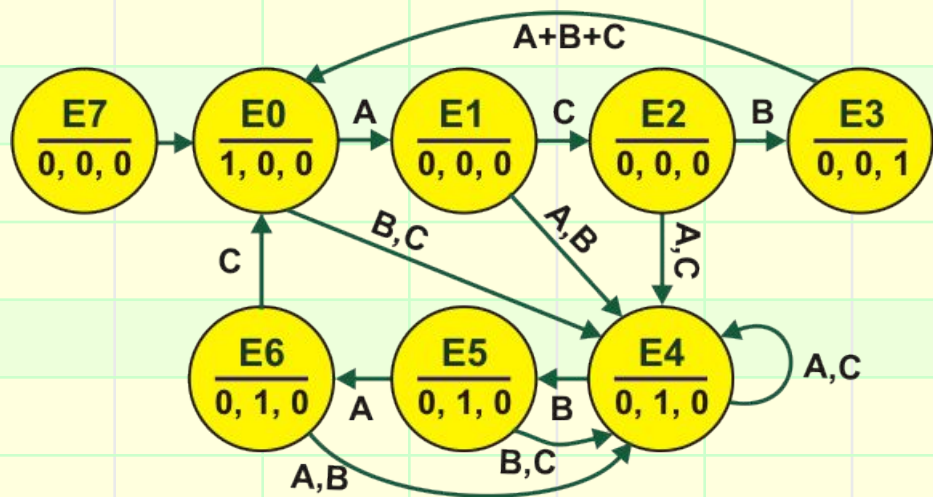
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4	E4	E1			
E1	E1	E2	E4	E4	E4			
E2	E2	E4	E3	E4	E4			
E3	E3	E0	E0	E0	E0			
E4	E4	E4	E5	E4	E4			
E5	E5	E4	E4	E4	E6			
E6	E6	E0	E4	E4	E4			
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



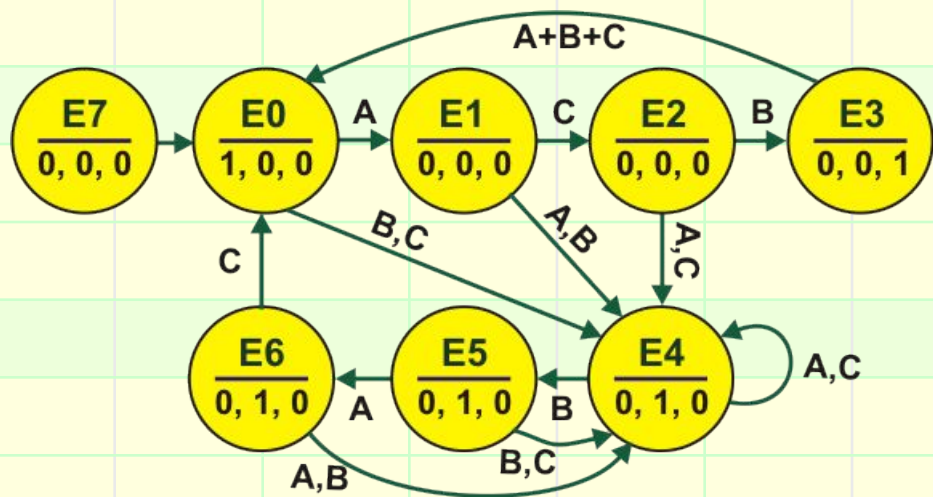
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4	E4	E1	E4		
E1	E1	E2	E4	E4	E4	E4		
E2	E2	E4	E3	E4	E4	E4		
E3	E3	E0	E0	E0	E0	E0		
E4	E4	E4	E5	E4	E4	E4		
E5	E5	E5	E4	E4	E6	E4		
E6	E6	E0	E4	E4	E4	E4		
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



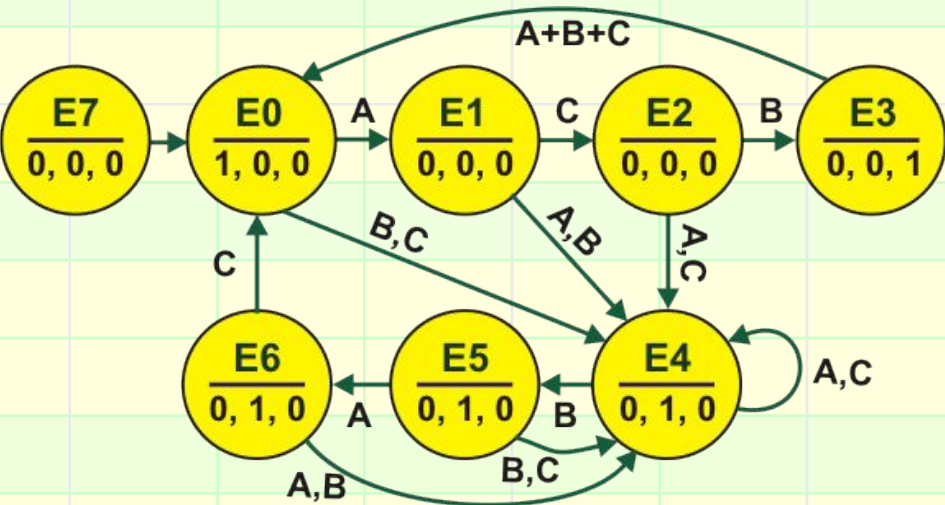
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4	E4	E1	E4	E4	
E1	E1	E2	E4	E4	E4	E4	E4	
E2	E2	E4	E3	E4	E4	E4	E4	
E3	E3	E0	E0	E0	E0	E0	E0	
E4	E4	E4	E5	E4	E4	E4	E4	
E5	E5	E5	E4	E4	E6	E4	E4	
E6	E6	E0	E4	E4	E4	E4	E4	
E7	E0	E0	E0	E0	E0	E0	E0	E0

Tabla de estados



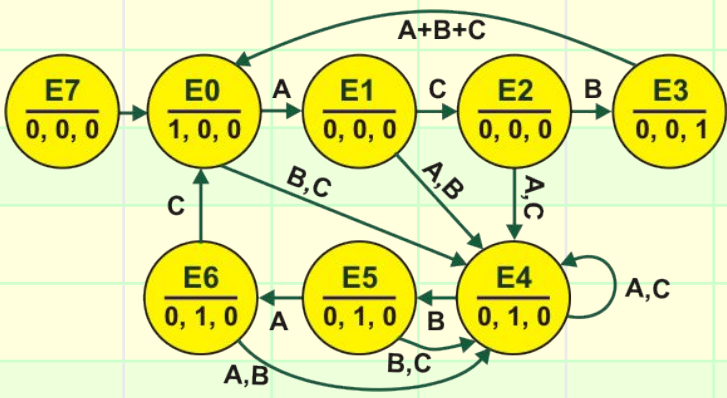
A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
E0	E0	E4	E4	E4	E1	E4	E4	E4
E1	E1	E2	E4	E4	E4	E4	E4	E4
E2	E2	E4	E3	E4	E4	E4	E4	E4
E3	E3	E0	E0	E0	E0	E0	E0	E0
E4	E4	E4	E5	E4	E4	E4	E4	E4
E5	E5	E5	E5	E4	E6	E4	E4	E4
E6	E6	E0	E4	E4	E4	E4	E4	E4
E7	E0	E0	E0	E0	E0	E0	E0	E0

Salidas

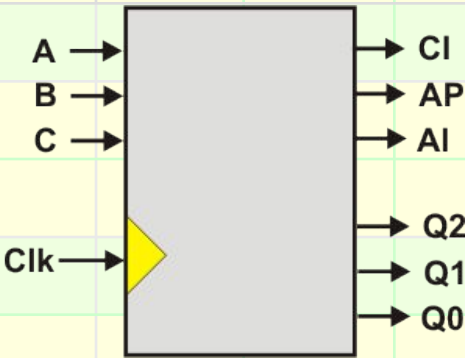


	Combinacionales			Registradas		
	CI	AL	AP	Q2	Q1	Q0
E0	1	0	0	0	0	0
E1	0	0	0	0	0	1
E2	0	0	0	0	1	1
E3	0	0	1	0	1	0
E4	0	1	0	1	1	0
E5	0	1	0	1	1	1
E6	0	1	0	1	0	1
E7	0	0	0	1	0	1

Tabla de estados



A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	AP
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0



Asignación en código gray
Entre estados consecutivos
un solo cambio

A	0	0	0	0	1	1	1	1	Salidas Combinacionales			Salidas Registradas		
B	0	0	1	1	0	0	1	1						
C	0	1	0	1	0	1	0	1	CI	AL	AP	Q2	Q1	Q0
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0	0	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0	0	0	1
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0	0	1	1
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1	0	1	0
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0	1	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0	1	1	1
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0	1	0	1
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0	1	0	0

a) Entradas y salidas

1

Module alar

"Entradas

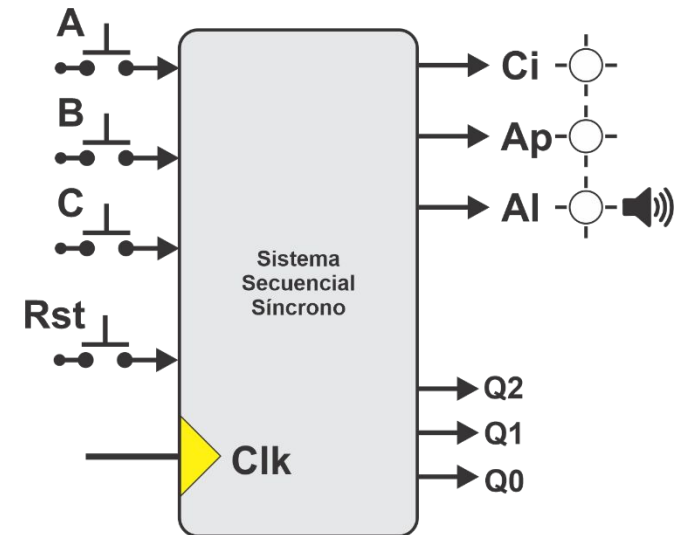
Clk,A,B,C, **Rst** Pin 1..5;

"Salidas Combinacionales

CI,AP,AL Pin 19..17 istype 'com';

"Salidas Registradas

Q2..Q0 pin 16..14 istype 'reg';



b) Sincronización de los Flip Flops

2

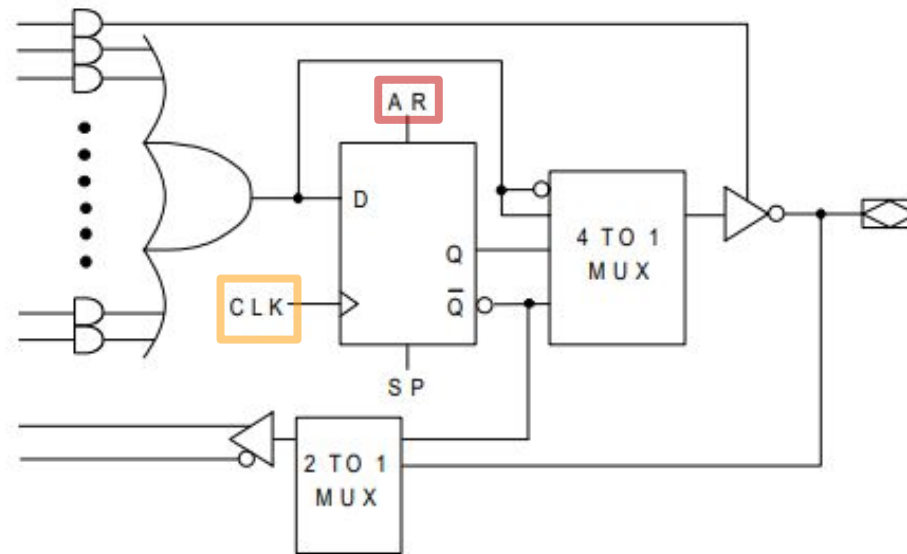
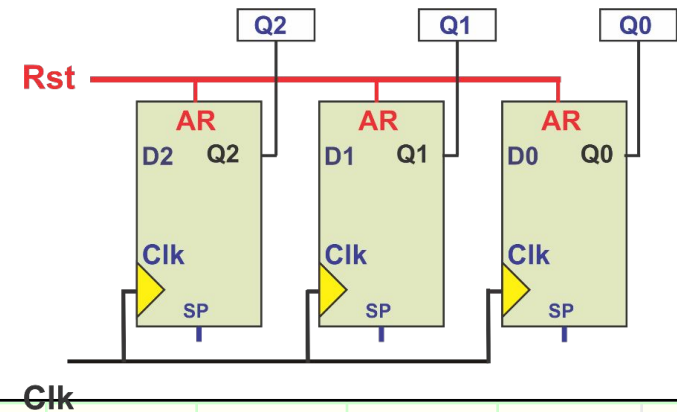
“sincronizar

$UANL=[Q2..Q0];$

Equations

$UANL.Clk=Clk;$

$UANL.ar=Rst;$



GAL22V10 OUTPUT LOGIC MACROCELL (OLMC)

c) Asignar valores a los estados

Declarations

E0=[0,0,0];

E1=[0,0,1];

E2=[0,1,1];

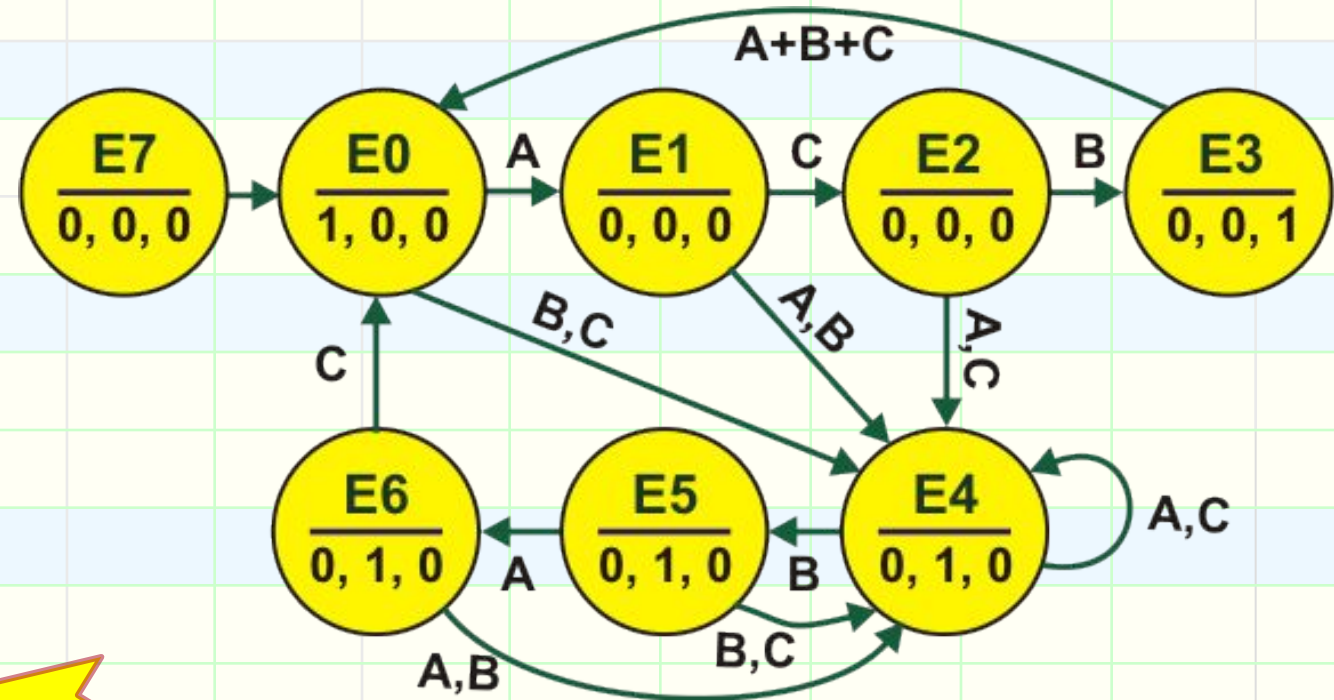
E3=[0,1,0];

E4=[1,1,0];

E5=[1,1,1];

E6=[1,0,1];

E7=[1,0,0];



Asignación en código gray
Entre estados consecutivos
un solo cambio

d) definir la secuencia (state_diagram o Truth_table)

If-Then-Else

Syntax

IF exp THEN state_exp ;

IF exp THEN state_exp ;

IF exp THEN state_exp ;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF !A&!B&!C THEN E0;

IF !A&!B& C THEN E4;

IF !A& B&!C THEN E4;

IF !A& B& C THEN E4;

IF A&!B&!C THEN E1;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

d) definir la secuencia (state_diagram o Truth_table)

If-Then-Else

Syntax

IF exp THEN state_exp ;

IF exp THEN state_exp ;

IF exp THEN state_exp ;

P=[A,B,C];

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF P==0 THEN E0;

IF P==1 THEN E4;

IF P==2 THEN E4;

IF P==3 THEN E4;

IF P==4 THEN E1;

IF P==5 THEN E4;

IF P==6 THEN E4;

IF P==7 THEN E4;

P=[A,B,C];

P	0	1	2	3	4	5	6	7			
A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF !A&!B&!C THEN E0;

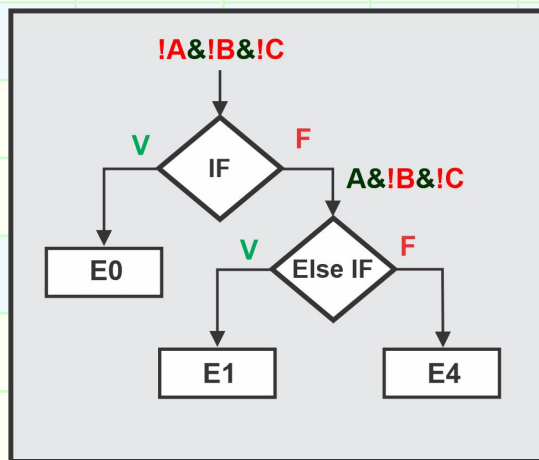
IF A&!B&!C THEN E1 Else E4;

?

d).- Descripción de la Secuencia

State_diagram

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0



$P=[A,B,C];$

If-Then-Else

Encadenado (Chained)

IF-THEN-ELSE: IF expr THEN

state_exp

ELSE IF exp THEN state_exp

ELSE state_exp ;

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF !A&!B&!C THEN E0;
IF !A&!B& C THEN E4;
IF !A& B&!C THEN E4;
IF !A& B& C THEN E4;
IF A&!B&!C THEN E1;
IF A&!B& C THEN E4;
IF A& B&!C THEN E4;
IF A& B&C THEN E4;

IF !A&!B&!C THEN E0 Else IF A&!B&!C THEN E1 Else E4;

IF P==0 THEN E0 Else IF P==4 THEN E1 Else E4;

d).- Descripción de la Secuencia

State_diagram

P	0	1	2	3	4	5	6	7			
A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0

If-Then-Else

Encadenado (Chained)

IF-THEN-ELSE: IF expr THEN

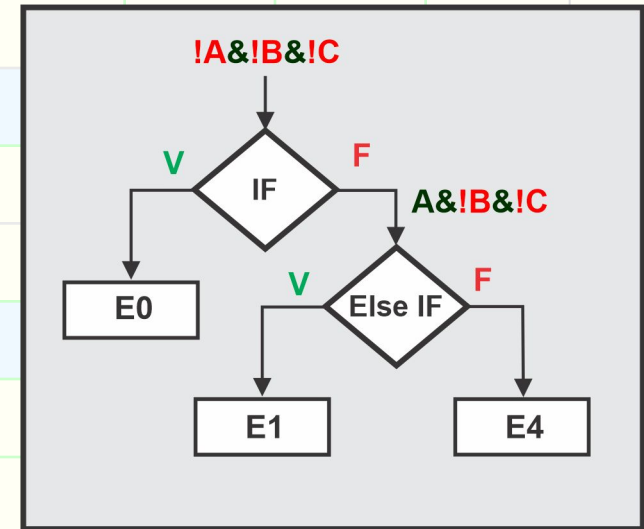
state_exp

ELSE IF exp THEN state_exp

ELSE state_exp ;

IF P==0 THEN E0 Else IF P==4 THEN E1 Else E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0



ELSE IF expression THEN state_expression ELSE state_expression ;

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF **!A&!B&!C** THEN E0 Else IF **A&!B&!C** THEN E1 Else E4;

State E1:

CI=0; AL=0; AP=0;

IF **!A&!B&!C** THEN E1;

IF **!A&!B& C** THEN E2;

IF **!A& B&!C** THEN E4;

IF **!A& B& C** THEN E4;

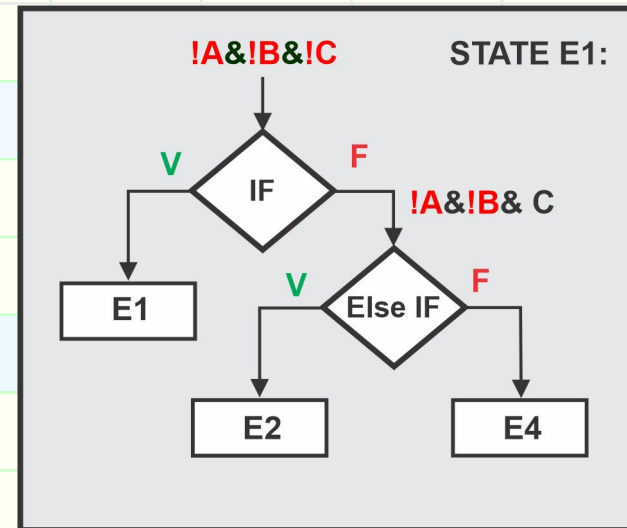
IF **A&!B&!C** THEN E4;

IF **A&!B& C** THEN E4;

IF **A& B&!C** THEN E4;

IF **A& B& C** THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0



State E1:

CI=0; AL=0; AP=0;

IF **!A&!B&!C** THEN E1 else IF **!A&!B& C** THEN E2 else **E4**;

State E2:

CI=0; AL=0; AP=0;

IF !A&!B&!C THEN E2;

IF !A&!B& C THEN E4;

IF !A& B&!C THEN E3;

IF !A& B& C THEN E4;

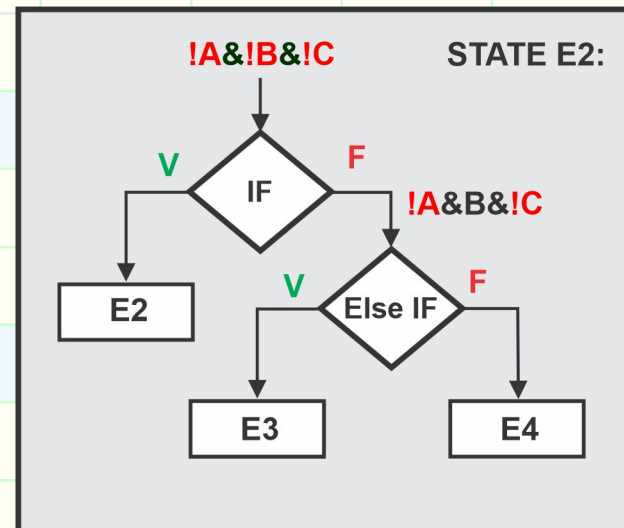
IF A&!B&!C THEN E4;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0



State E2:

CI=0; AL=0; AP=0;

IF !A&!B&!C THEN E2;

IF !A&!B& C THEN E4;

IF !A& B&!C THEN E3;

IF !A& B& C THEN E4;

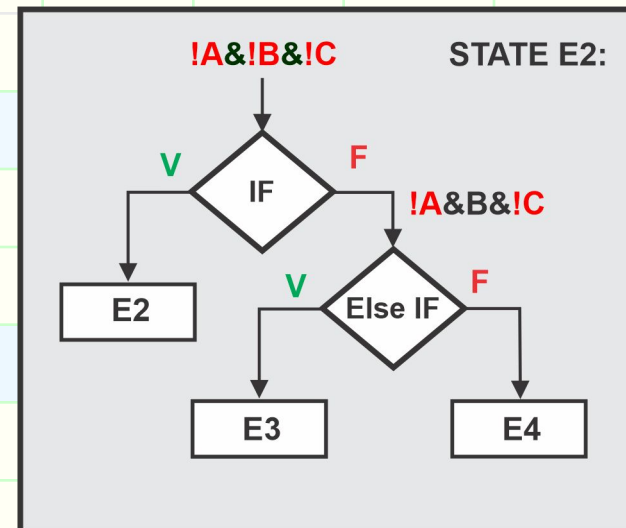
IF A&!B&!C THEN E4;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0



State E2:

CI=0; AL=0; AP=0;

IF **!A&!B&!C** THEN **E2** else IF **!A&B&!C** THEN **E3** else **E4**;

State E3:

CI=0; AL=0; AP=1;

IF !A&!B&!C THEN E3;

IF A # B # C THEN E0;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E3:

CI=0; AL=0; AP=1;

IF !A&!B&!C THEN E3 Else E0;

State E4:

CI=0; AL=1; AP=0;

IF !A&!B&!C THEN E4;

IF !A&!B&C THEN E4;

IF !A&B&!C THEN E5;

IF !A&B&C THEN E4;

IF A&!B&!C THEN E4;

IF A&!B&C THEN E4;

IF A&B&!C THEN E4;

IF A&B&C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E4:

CI=0; AL=1; AP=0;

IF !A&B&!C THEN E5 else E4;

State E5:

CI=0; AL=1; AP=0;

IF !A&!B&!C THEN E5;

IF !A&!B&C THEN E5;

IF !A& B&!C THEN E4;

IF !A& B& C THEN E4;

IF A&!B&!C THEN E6;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E5:

CI=0; AL=1; AP=0;

IF !A&!B&!C THEN E5;

IF !A&!B&C THEN E5;

IF !A& B&!C THEN E4;

IF !A& B& C THEN E4;

IF A&!B&!C THEN E6;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E5:

CI=0; AL=1; AP=0;

IF **!A&!B** THEN E5 else IF **A&!B&!C** THEN E6 else **E4**;

State E6:

CI=0; AL=1; AP=0;

IF !A&!B&!C THEN E6;

IF !A&!B&C THEN E0;

IF !A& B&!C THEN E4;

IF !A& B& C THEN E4;

IF A&!B&!C THEN E4;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E6:

CI=0; AL=1; AP=0;

IF !A&!B&!C THEN E6;

IF !A&!B&C THEN E0;

IF !A& B&!C THEN E4;

IF !A& B& C THEN E4;

IF A&!B&!C THEN E4;

IF A&!B& C THEN E4;

IF A& B&!C THEN E4;

IF A& B& C THEN E4;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

State E6:

CI=0; AL=1; AP=0;

IF **!A&!B&!C** THEN E6 else IF **!A& !B&C** THEN E0 else E4;

State E7:
CI=0; AL=0; AP=0;
Goto E0;

A	0	0	0	0	1	1	1	1			
B	0	0	1	1	0	0	1	1			
C	0	1	0	1	0	1	0	1	CI	AL	PA
E0	E0	E4	E4	E4	E1	E4	E4	E4	1	0	0
E1	E1	E2	E4	E4	E4	E4	E4	E4	0	0	0
E2	E2	E4	E3	E4	E4	E4	E4	E4	0	0	0
E3	E3	E0	E0	E0	E0	E0	E0	E0	0	0	1
E4	E4	E4	E5	E4	E4	E4	E4	E4	0	1	0
E5	E5	E5	E4	E4	E6	E4	E4	E4	0	1	0
E6	E6	E0	E4	E4	E4	E4	E4	E4	0	1	0
E7	E0	E0	E0	E0	E0	E0	E0	E0	0	0	0

Prueba de abrir puerta

test_Vectors

([Clk,A,B,C]->[Q2,Q1,Q0])

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,1,0,0]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,0,1]->[.x.,.x.,.x.];

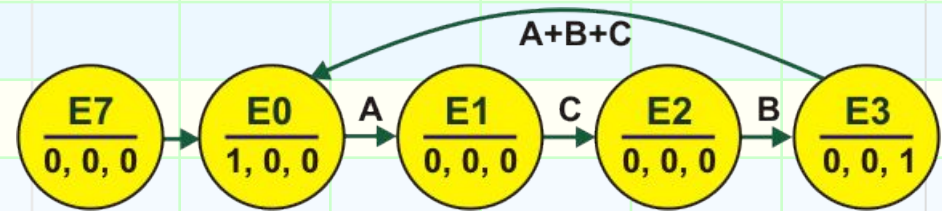
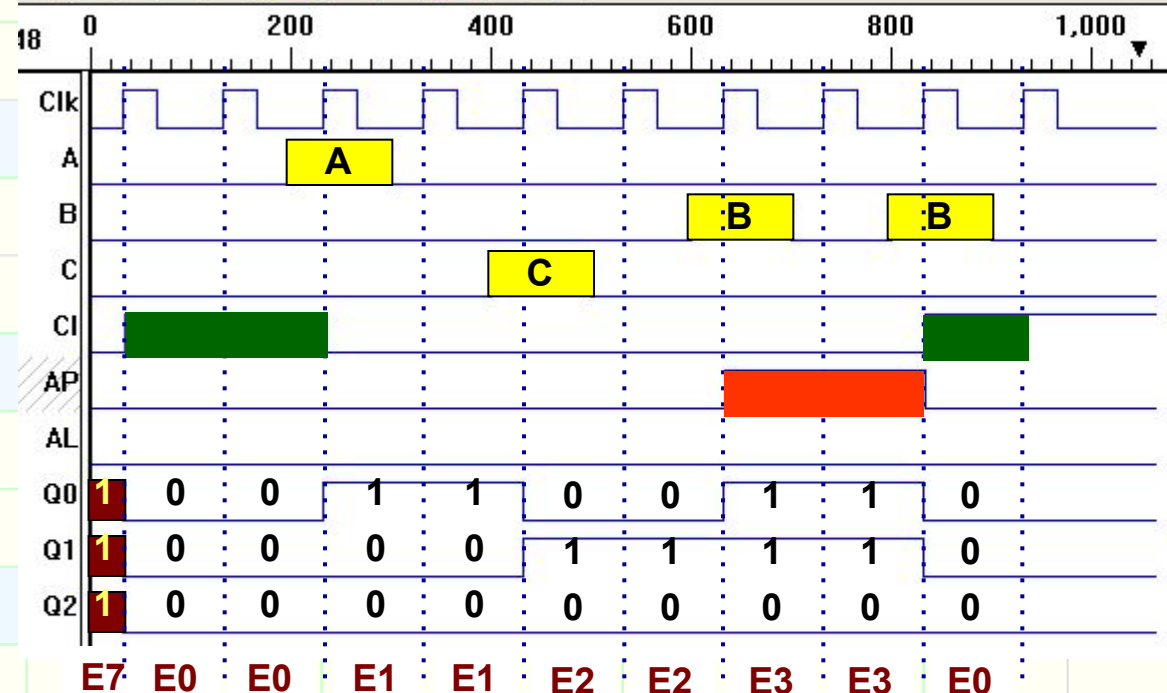
[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,1,0]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,1,0]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];



Prueba de apagar alarma

test_Vectors

([Clk,A,B,C]->[Q2,Q1,Q0]

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,0,1]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,0,1,0]->[.x.,.x.,.x.];

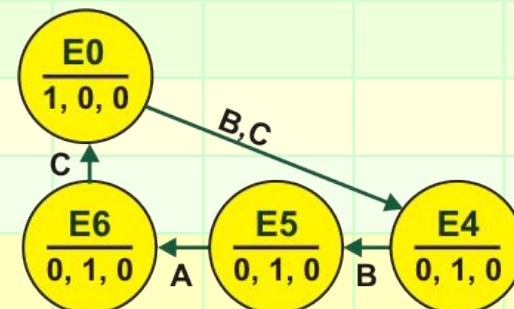
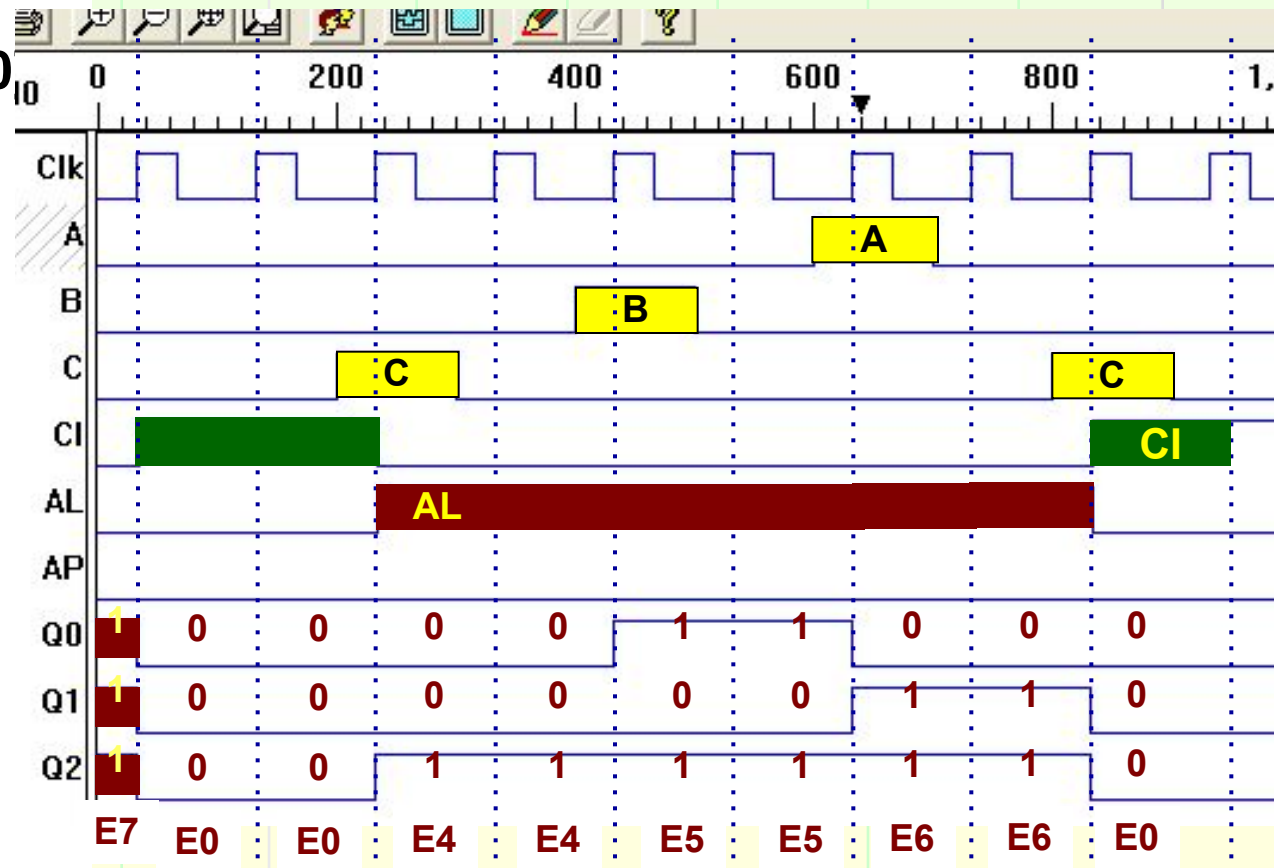
[.c.,0,0,0]->[.x.,.x.,.x.];

[.c.,1,0,0]->[.x.,.x.,.x.];

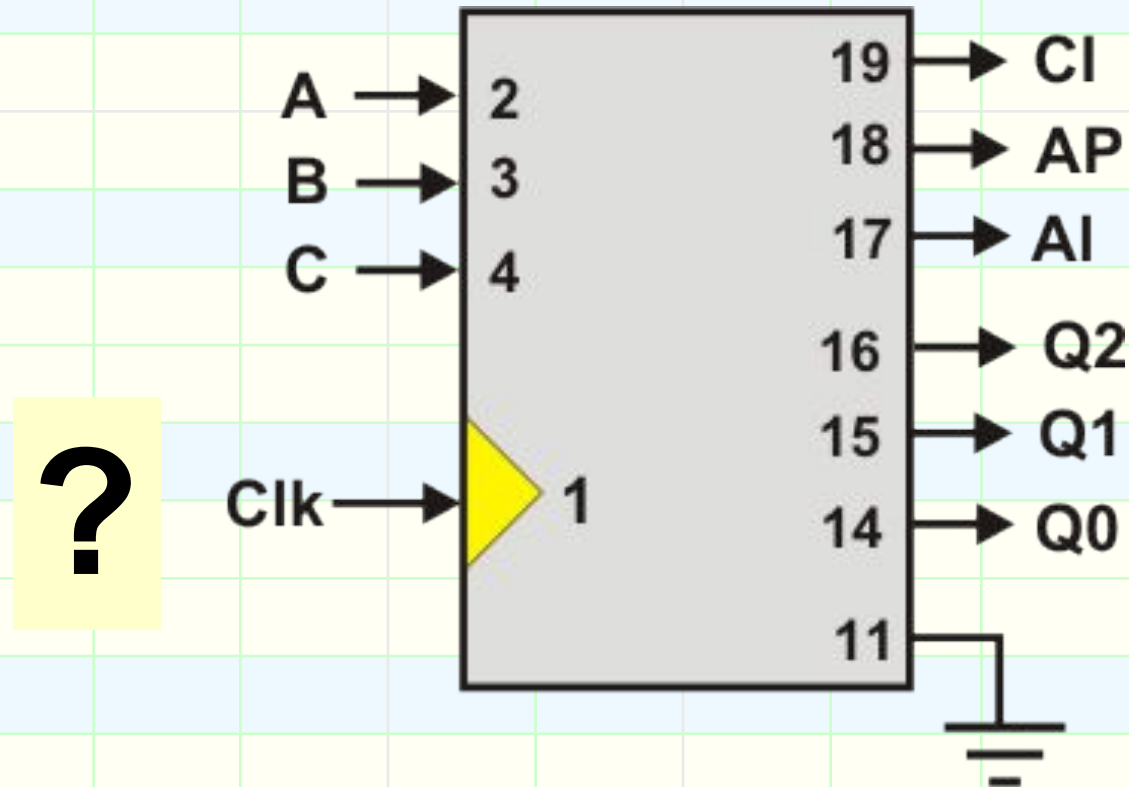
[.c.,0,0,0]->[.x.,.x.,.x.];

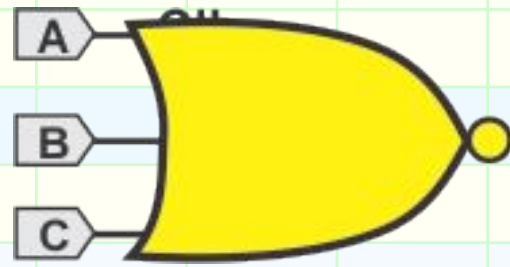
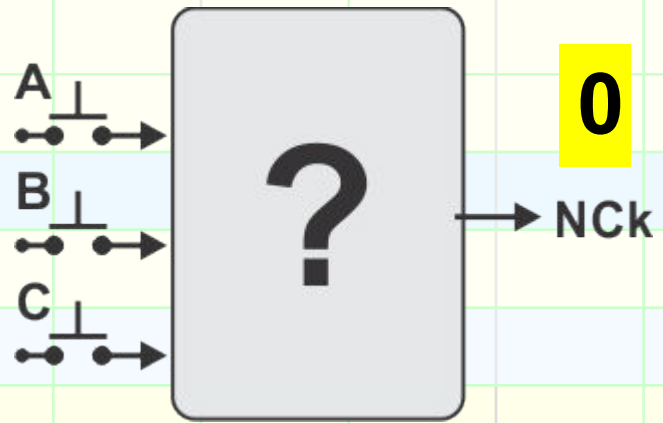
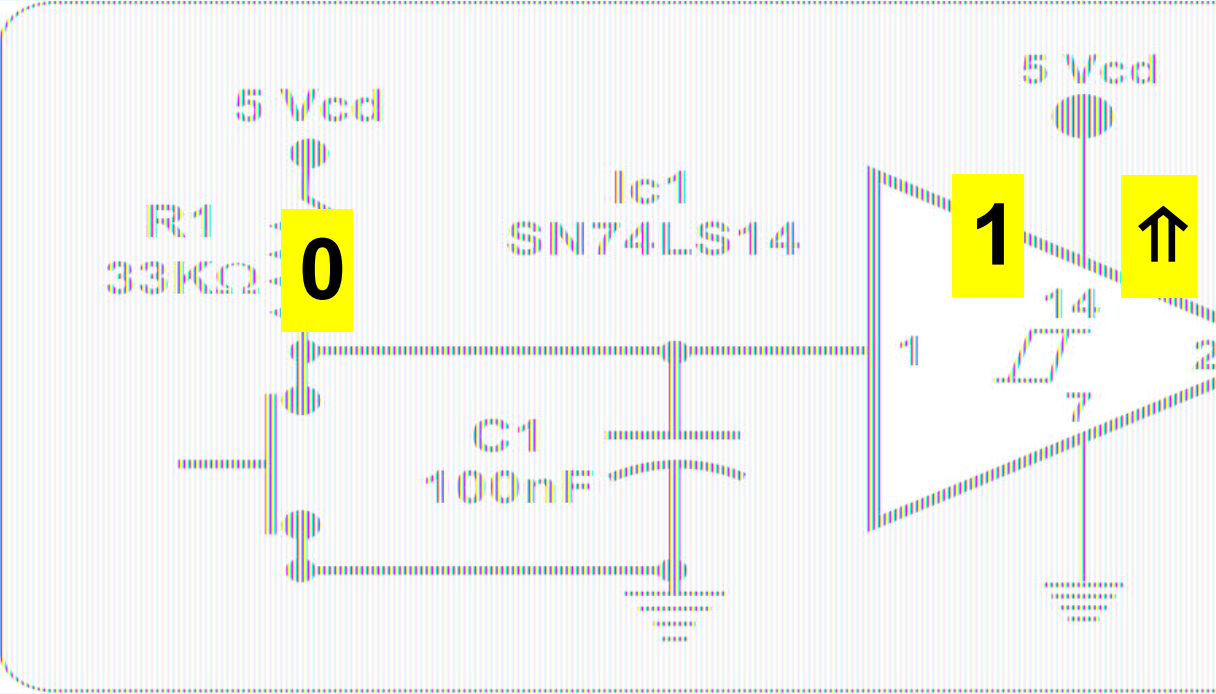
[.c.,0,0,1]->[.x.,.x.,.x.];

[.c.,0,0,0]->[.x.,.x.,.x.];



Como será conveniente la señal de sincronía Clk





MODULE alarma

"Entradas

Clk,A,B,C,Rst Pin 1..5;

"Salidas Combinacionales

CI,AP,AL,NCK Pin 14..16,23 istype 'com';

"Salidas Registradas

Q2..Q0 pin 17..19 istype 'reg';

"sincronizar

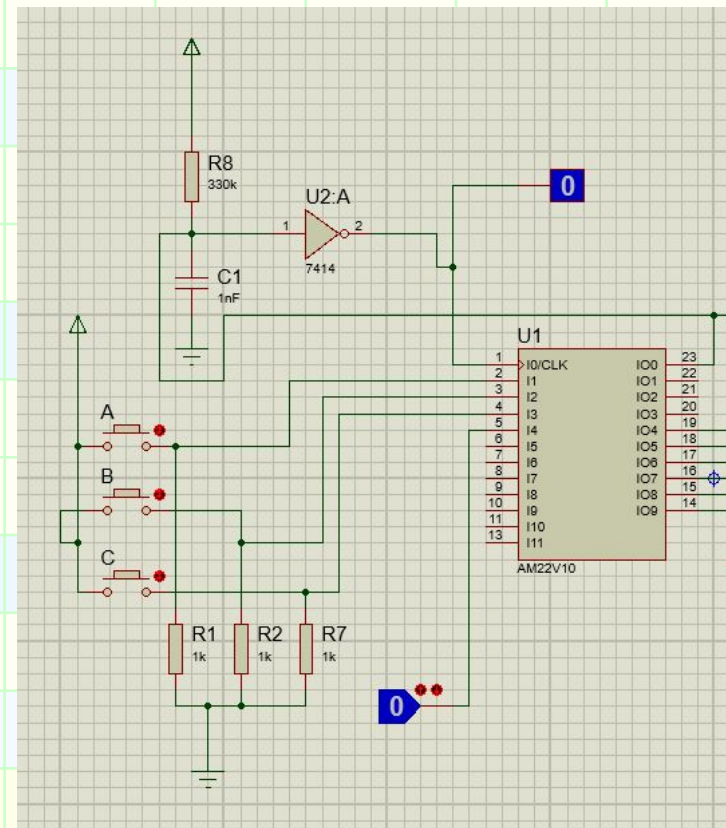
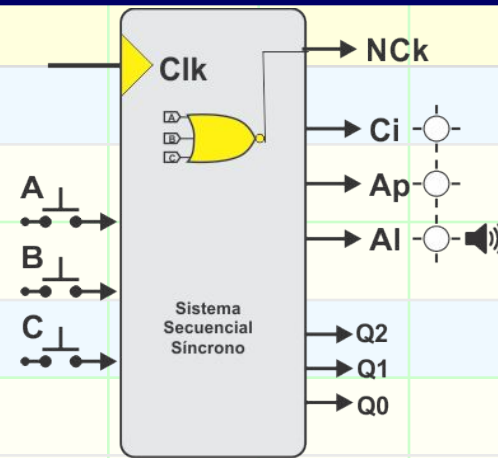
UANL=[Q2..Q0];

Equations

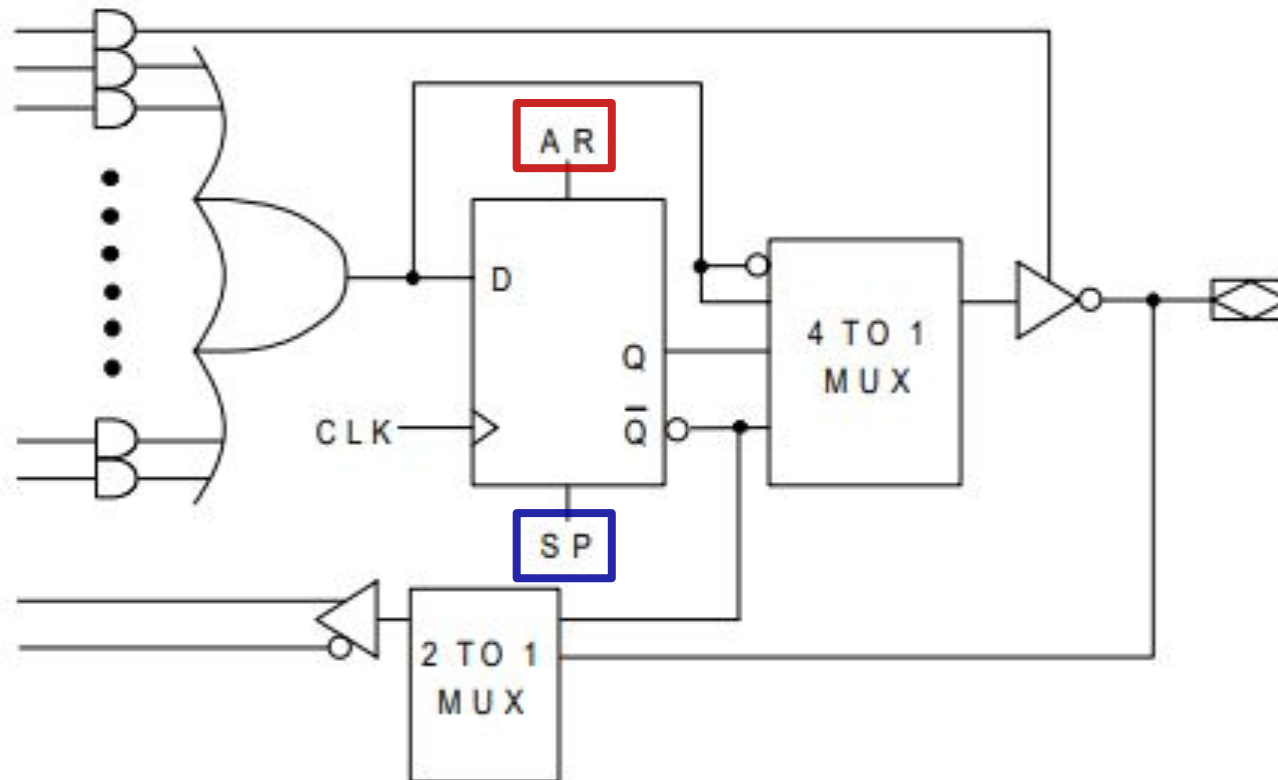
$UANL.Clk = Clk;$

$UANL.ar = Rst;$

$NCK = !(A \# B \# C);$



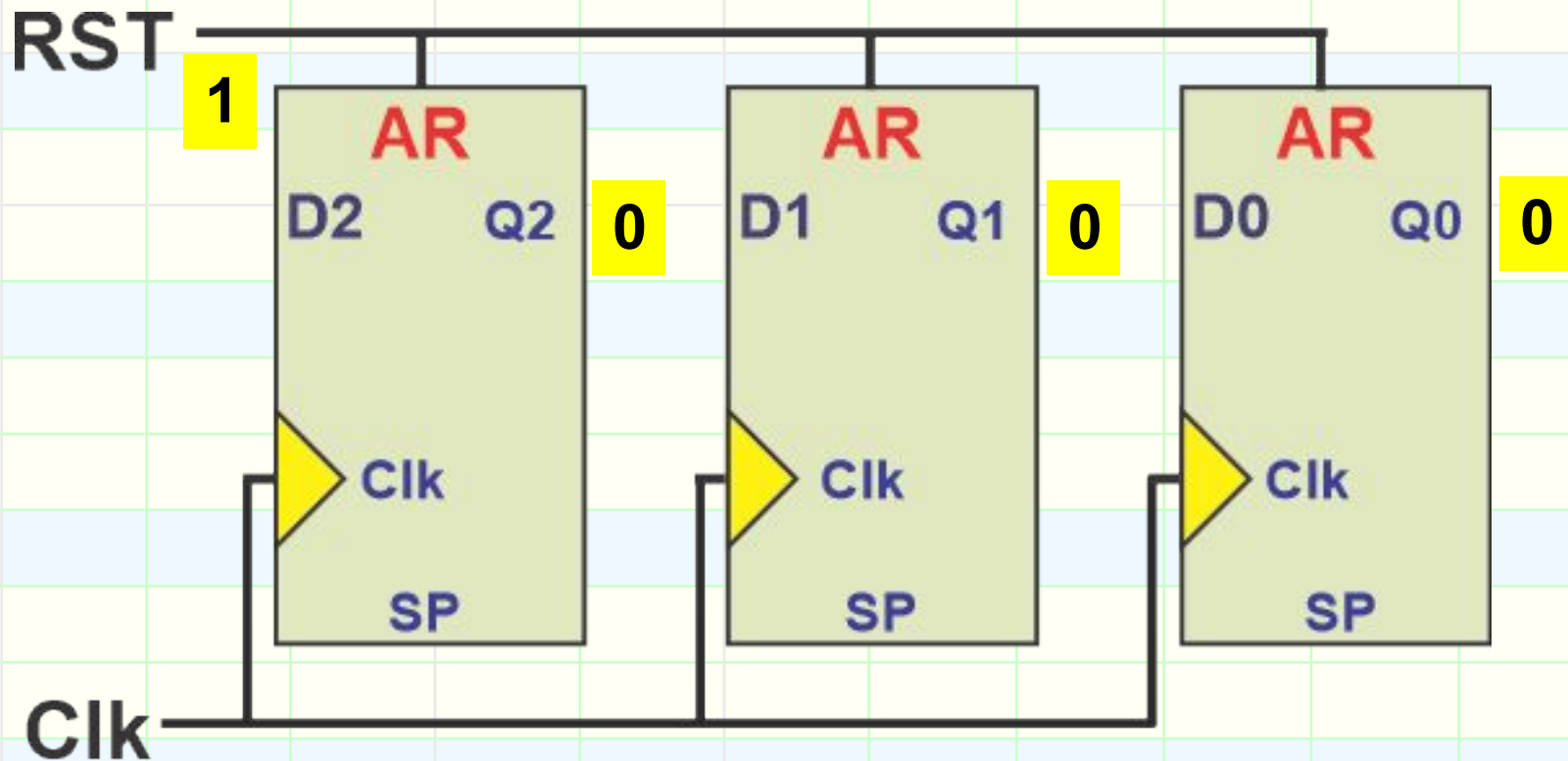
Asynchronous Reset AR



GAL22V10 OUTPUT LOGIC MACROCELL (OLMC)

Synchronous Preset SP

Asynchronous Reset AR



Equations

$UANL.Clk = Clk;$

$UANL.ar = Rst;$

MODULE alarm

"2 Mayo 2025

"JAGG

"Entradas

Clk,A,B,C,Rst Pin 1..5;

"Salidas Combinacionales

CI,AP,AL,**NCK** Pin 14..16,23 istype 'com';

"Salidas Registradas

Q2..Q0 pin 17..19 istype 'reg';

UANL=[Q2..Q0];

"sincronizar

Equations

UANL.Clk=Clk;

UANL.ar=Rst;

NCK=!(A#B#C);

Declarations

E0=[0,0,0];

E1=[0,0,1];

E2=[0,1,1];

E3=[0,1,0];

E4=[1,1,0];

E5=[1,1,1];

E6=[1,0,1];

State_diagram UANL

State E0:

CI=1; AL=0; AP=0;

IF **!A&!B&!C** THEN **E0** Else IF **A&!B&!C** THEN **E1** Else **E4**;

State E1:

CI=0; AL=0; AP=0;

IF **!A&!B&!C** THEN **E1** Else IF **!A&!B&C** THEN **E2** Else **E4**;

State E2:

CI=0; AL=0; AP=0;

IF **!A&!B&!C** THEN **E2** Else IF **!A&B&!C** THEN **E3** Else **E4**;

State E3:

CI=0; AL=0; AP=1;

State E3:

CI=0; AL=0; **AP=1;**

IF **!A&!B&!C** THEN **E3** Else **E0;**

State E4:

CI=0; **AL=1;** AP=0;

IF **!A&B&!C** THEN **E5** Else **E4;**

State E5:

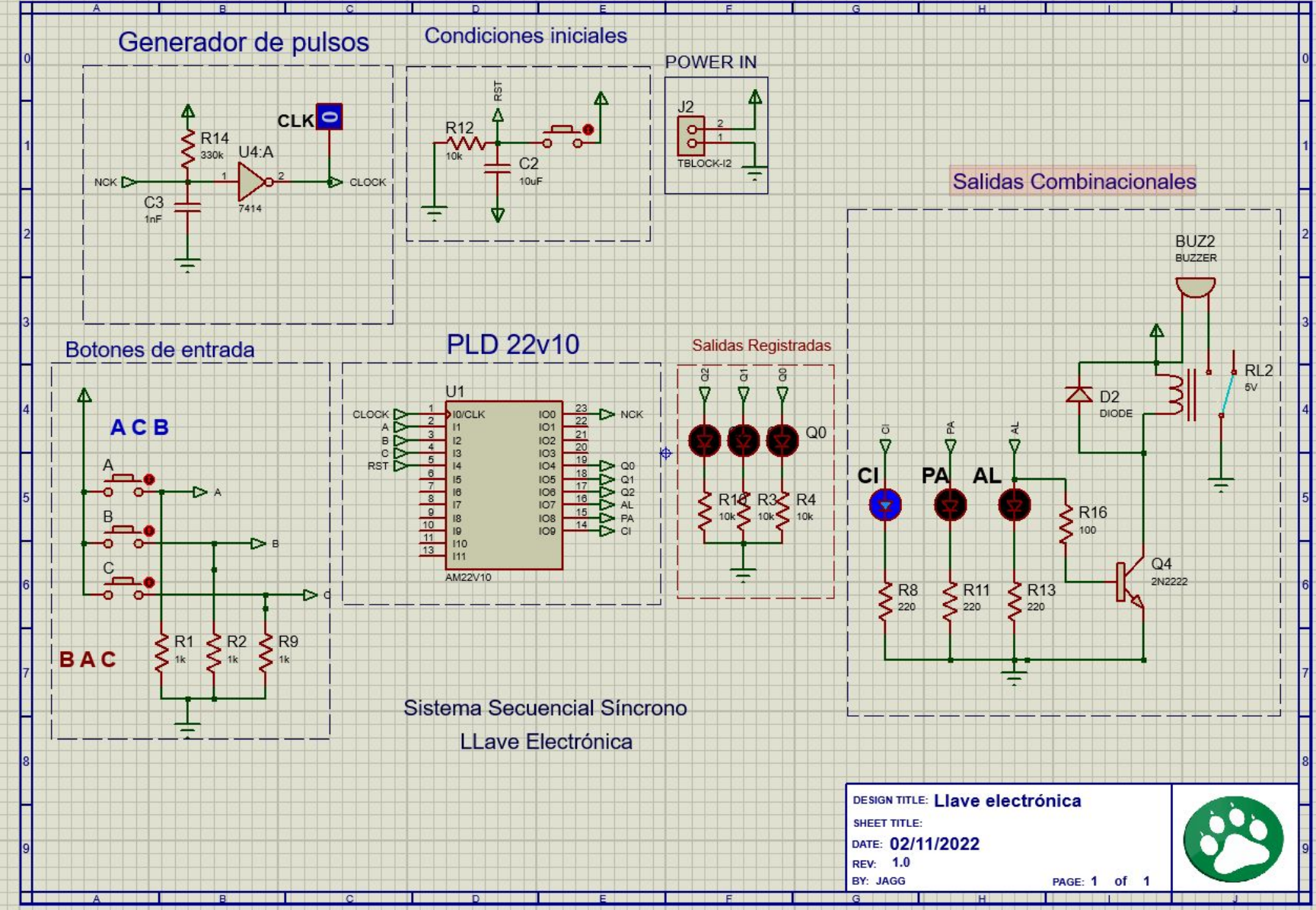
CI=0; AL=1; AP=0;

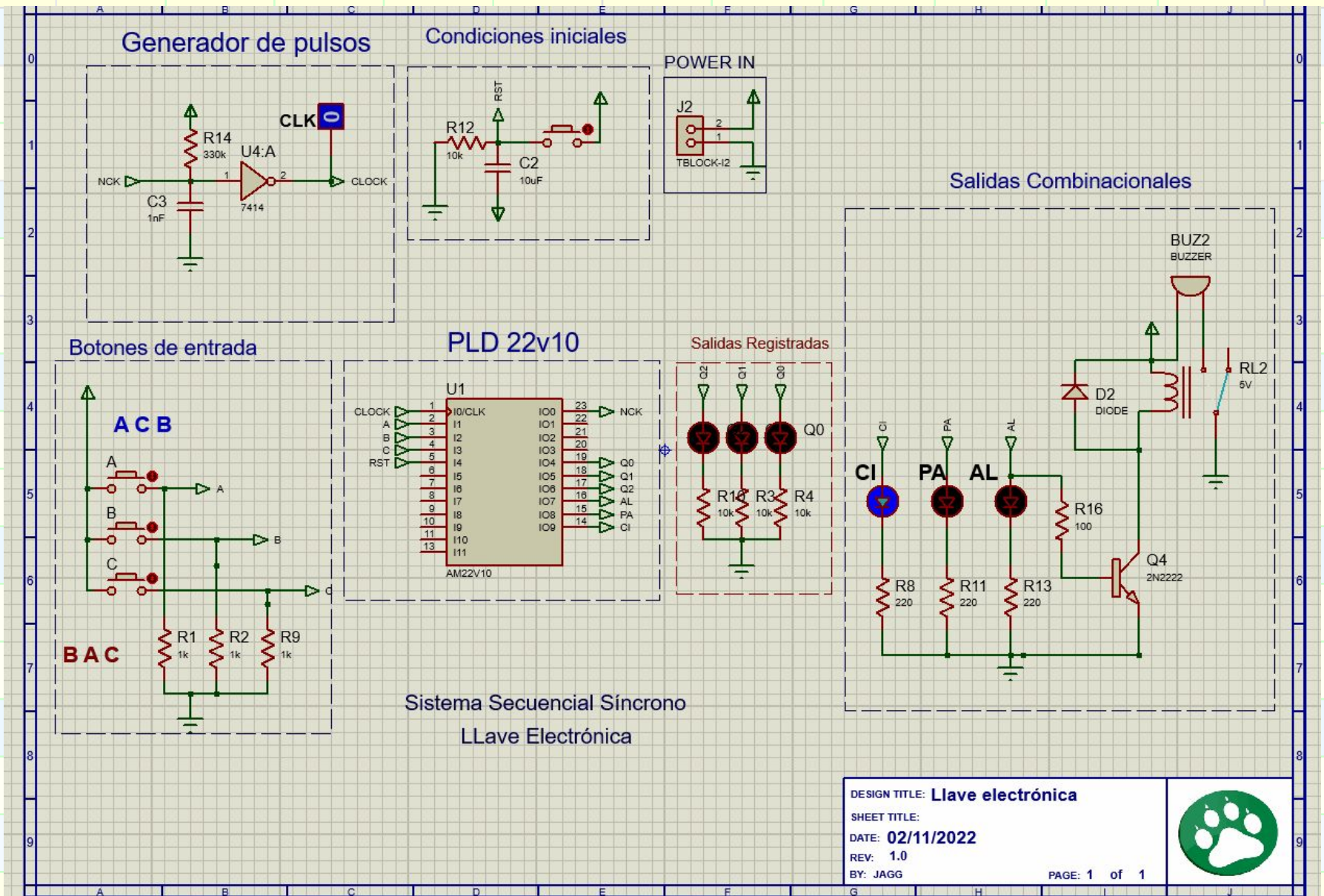
IF **!A&!B** THEN E5 else IF **A&!B&!C** THEN E6 else E4;

State E6:

CI=0; AL=1; AP=0;

IF **!A&!B&!C** THEN E6 else IF **!A&!B&C** THEN E0 else E4;





Entra das	LT	0	0	0	1	Salidas Combinacionales						Salidas Registradas			
	P	0	0	1	X										
	SB	0	1	X	X	S5	S4	S3	S2	S1	S0	Q3	Q2	Q1	Q0
Estad o Prese nte	E0	E1	E13	E0	ELT										
	E1			E1	ELT										
	E2			E2	ELT										
	E3			E3											
	E4														
	E5														
	E6														
	E7														
	E8														
	E9														
	E10														
	E11														
	E12														
	E13														
	ELT														

Entra das	LT	0	0	0	0	1	Salidas Combinacionales						Salidas Registradas			
	Rst	0	0	0	1	X										
	P	0	0	1	X	X										
	SB	0	1	X	X	X	S5	S4	S3	S2	S1	S0	Q3	Q2	Q1	Q0
Esta do Prese nte	E0															
	E1															
	E2															
	E3															
	E4															
	E5															
	E6															
	E7															
	E8															
	E9															
	E10															
	E11															
	E12															
	E13															
	ELT															

State_Diagram

- **GOTO**
- **IF THEN ELSE**
- **IF THEN**
- **Else if encadenado por repetición (llave electrónica)**
- **Else if encadenado por prioridad (AF4)**

Truth_TABLE :>