

***Si hallas un camino sin obstáculos,
quizás no te lleve a ninguna parte. VIGIL***

**TODOS SOMOS
FIME**



Actividades y proyectos en proceso

	Actividad	Puntos	Fecha límite
PF6	Solución del examen	F	
PF7	Diseño Combinacional con HDL	F	
PF8	Multiplexor	5	
AF3	Decodificador con Display	10	
PF9	Flip Flops	F	
PF10	Pulsos de sincronía	5	
AF4	Diseño Secuencial	10	
AF5	PIA	40	Día del examen

Producto Integrador de Aprendizaje (PIA) 40 puntos

Para su evaluación, es necesario programar una entrevista con el profesor, en la cual se mostrará el prototipo y se explicarán los procedimientos y resultados obtenidos con el apoyo de una presentación.

Antes de la entrevista, los estudiantes deberán haber subido los archivos entregables solicitados a la plataforma Google Classroom.

La fecha límite para la entrega de los proyectos es de al menos dos días antes de la fecha programada para el examen ordinario.

Se solicita a los estudiantes ser previsores ya que

no se aceptarán proyectos entregados después de la fecha acordada.

Método de Diseño de Sistemas Secuenciales síncronos con el uso de HDL y su implementación en un PLD

1.- Especificar el sistema (Diagrama de transición)

2.- Determinar la cantidad de Flip Flops

a) Dependiendo de los estados

b) Usando solo salidas registradas

3.- Asignar valores a los estados

4.- Diagrama de Bloque (entradas y salidas)

5.- Construir la tabla de estado siguiente.

Base para
describir
completamente
un sistema
secuencial

6.- Codificación en ABEL-HDL

a) Entradas y salidas

b) Sincronización de los Flip Flops

c) Asignación de valores a los estados

d) definir la secuencia (state_diagram o Truth_table)

7.- Simulación

8.- Implementación.

Luces traseras de un auto

Diseñe un Sistema Secuencial que controle las luces traseras de un automóvil.

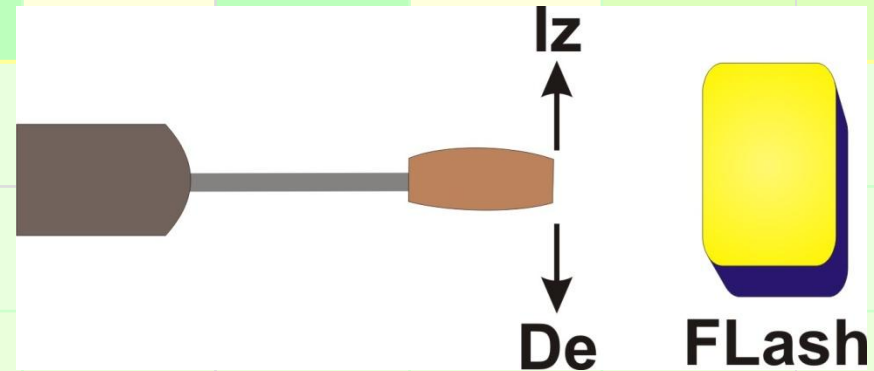
Se tienen tres entradas que son:

- Botón de Flash
- Direccional derecha De
- Direccional Izquierda Iz

Además de cuatro juegos de luces de salida llamadas:

DI1, DI2

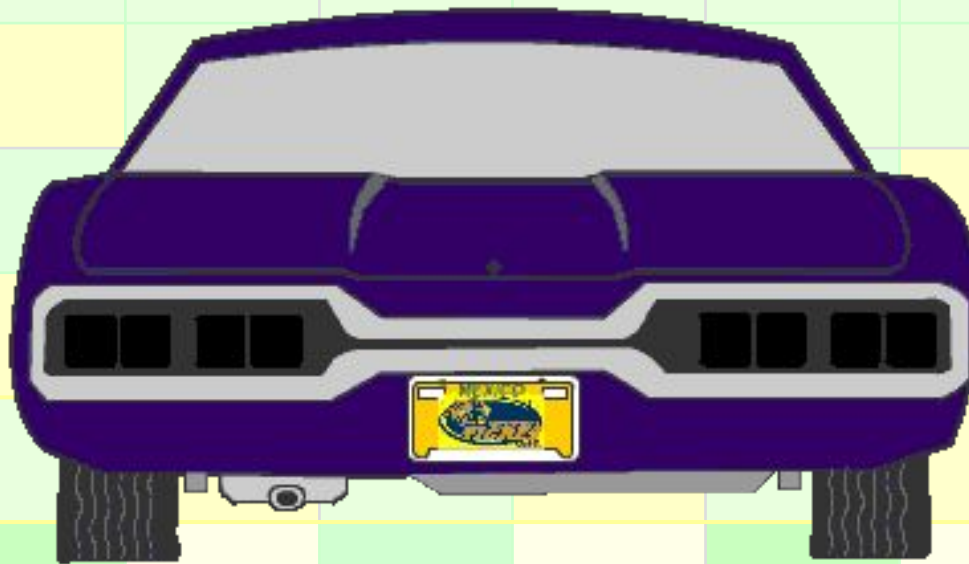
DD1, DD2



Basado en el Libro
Diseño Digital
Principios y Prácticas
John F. Wakerly
Tercera edición
Prentice Hall
Página 585

Luces traseras de un auto

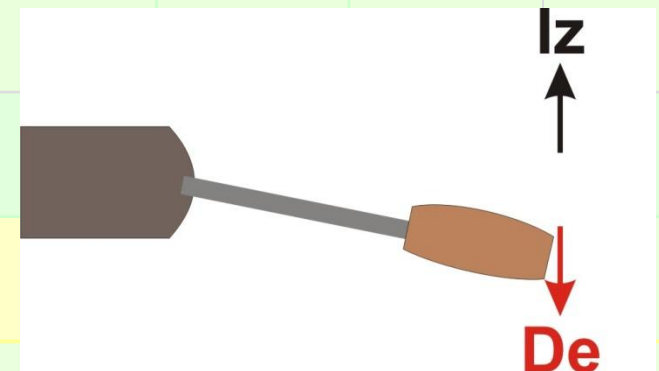
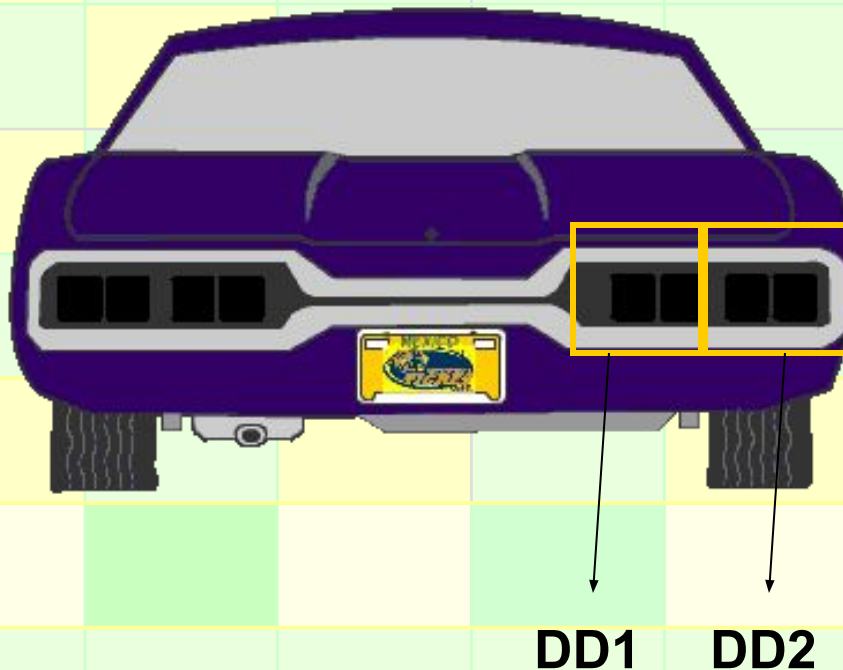
Al oprimir el botón de Flash se activará una secuencia intermitente de encender y apagar todas las luces y no importa si están activadas las direccionales.



Flash

Secuencia derecha

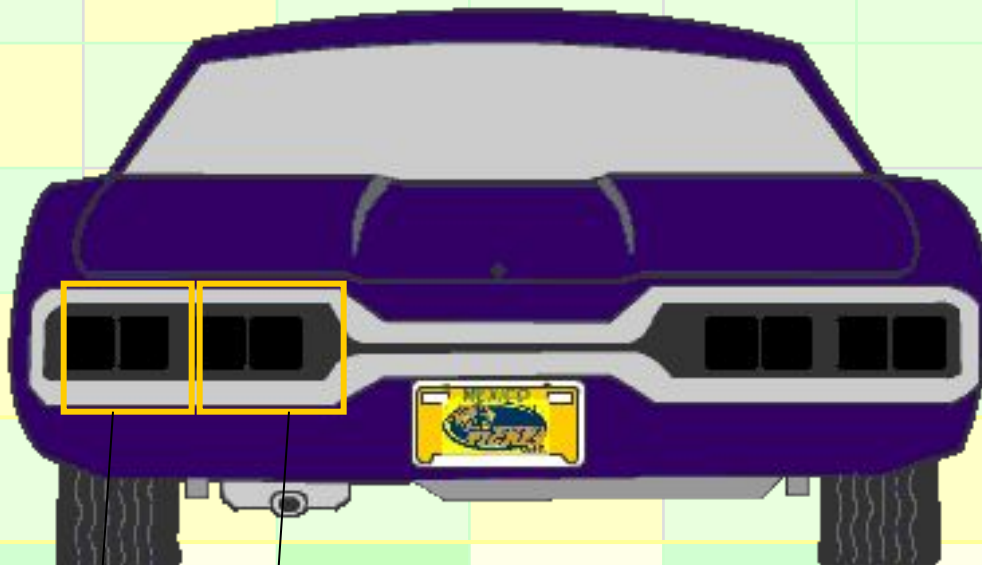
Al desplazar la palanca de las direccionales hacia abajo se activará la secuencia Derecha para encender primero DD1 después DD2 y posteriormente apagar todas las luces e iniciar de nuevo con DD1



Direccionales

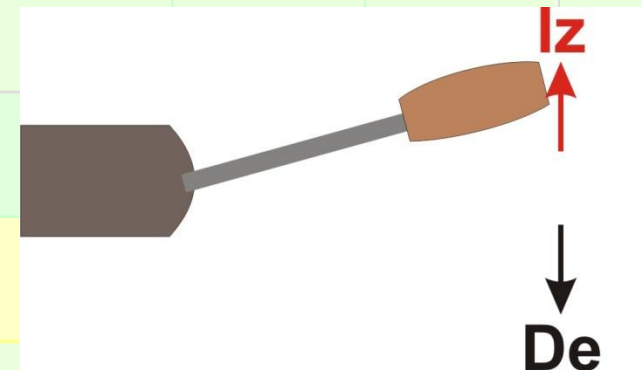
Secuencia izquierda

Al desplazar la palanca de las direccionales hacia arriba se activará la secuencia Izquierda para encender primero DI1 después DI2 y posteriormente apagar todas las luces e iniciar de nuevo con DI1



DI2

DI1



Direccionales

Diagrama de Transición

Direccional Derecha

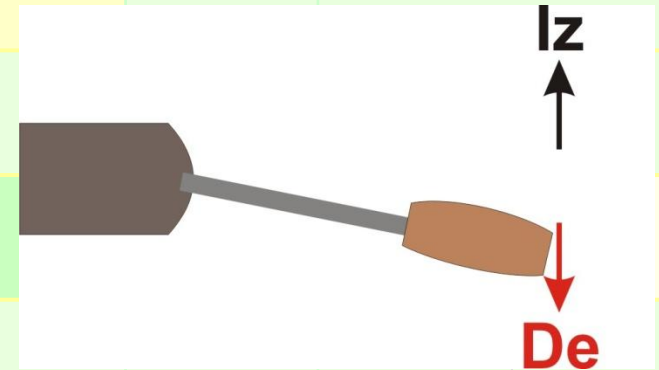
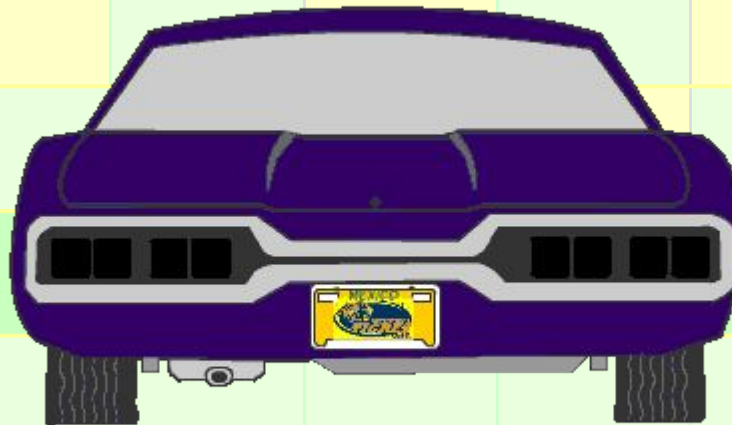
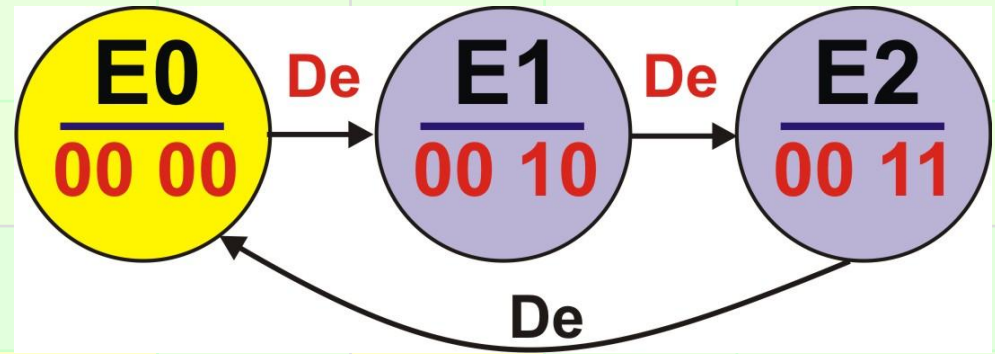


Diagrama de Transición

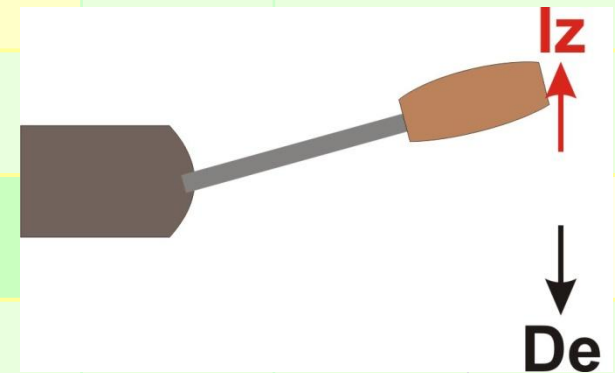
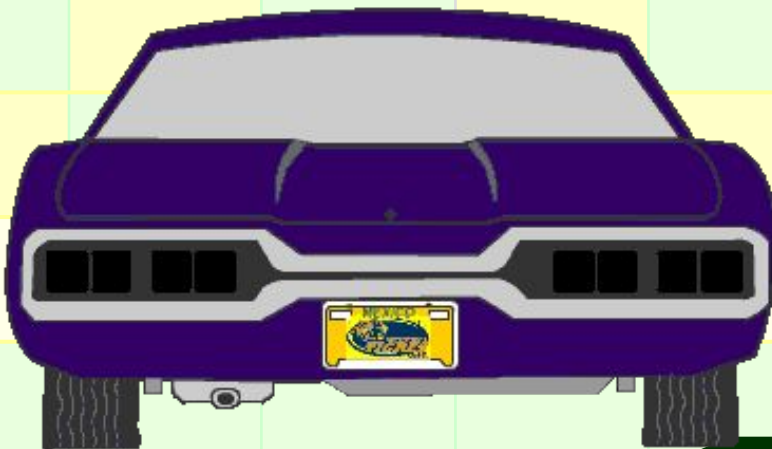
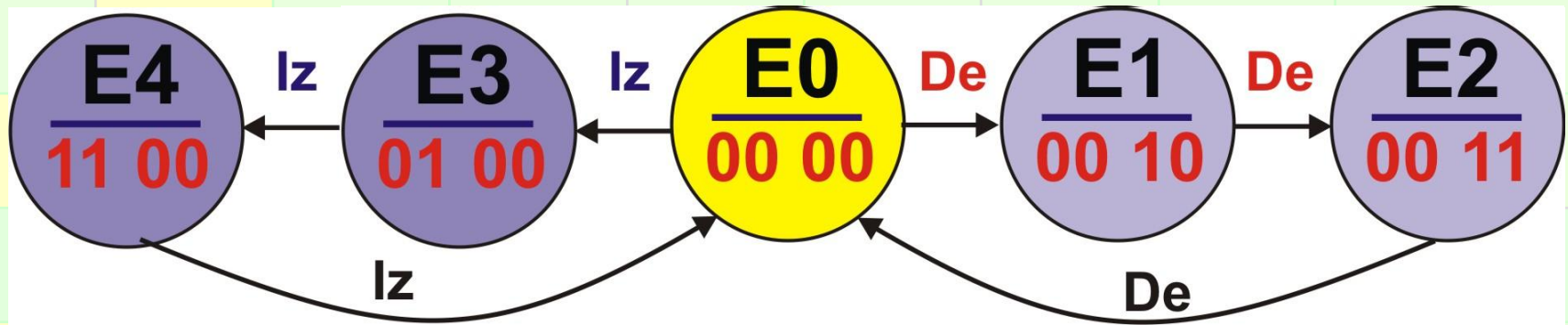
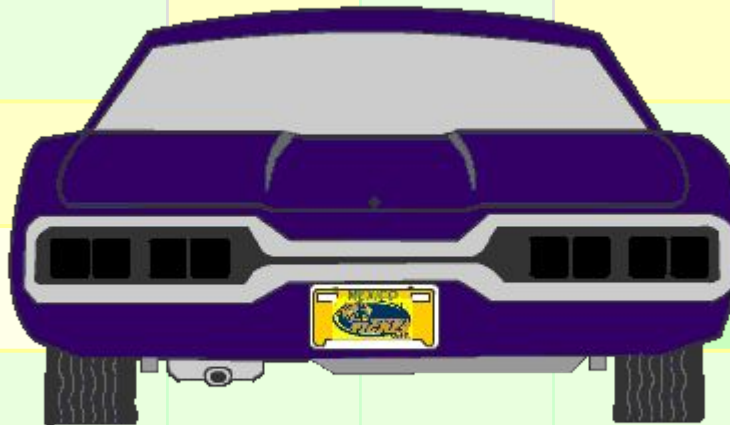
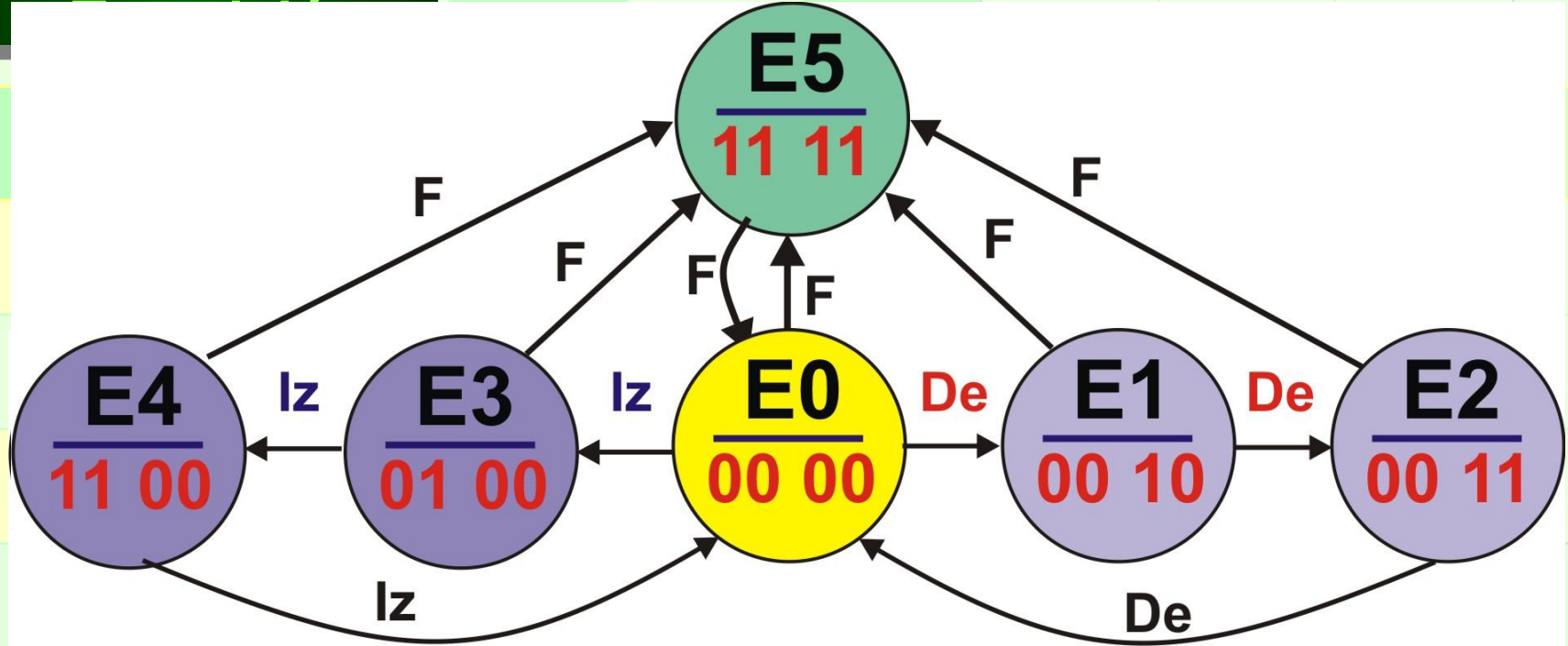


Diagrama de



FLash

Diagrama de Transición

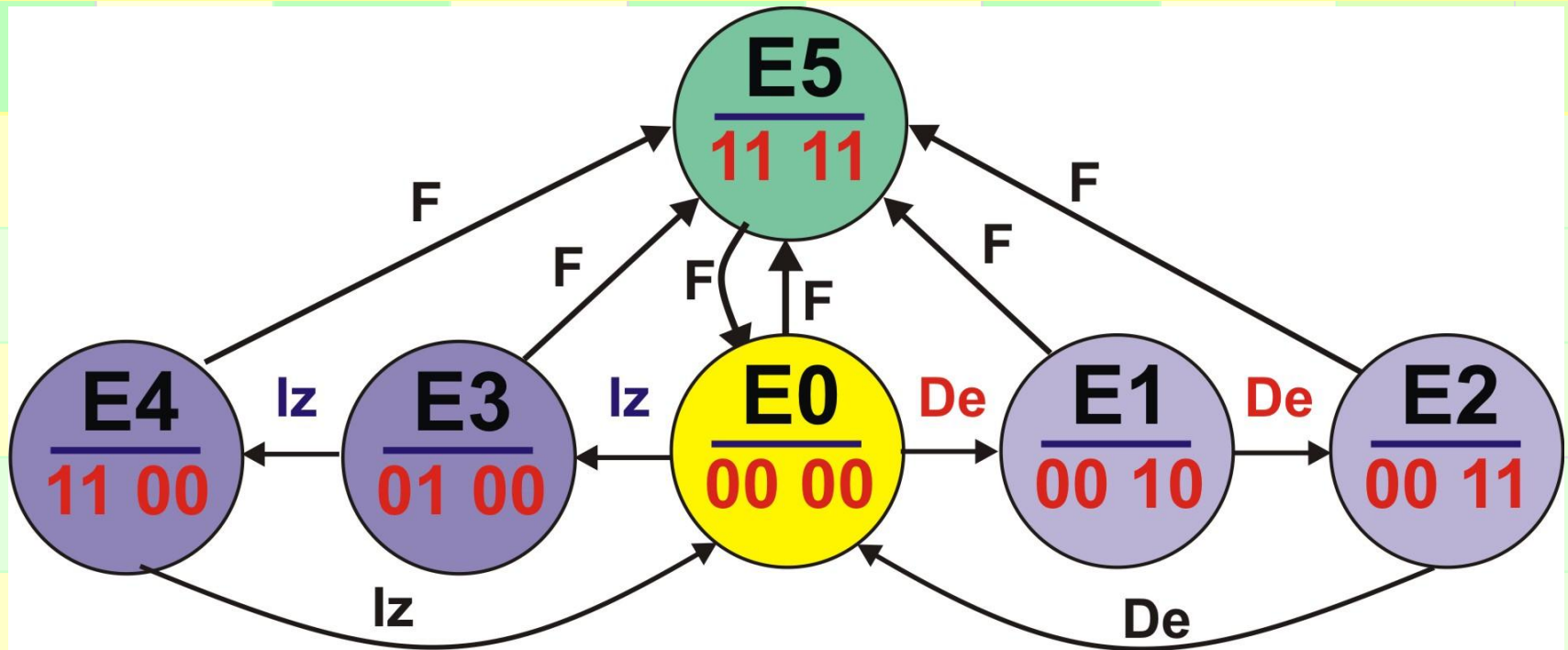
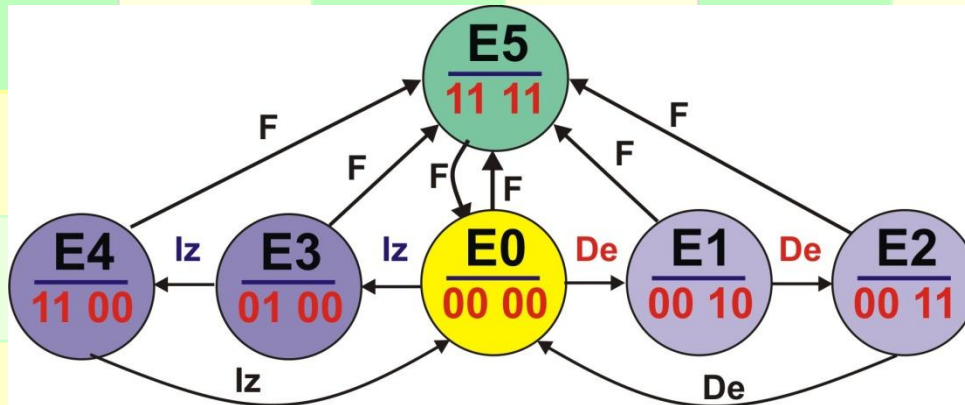
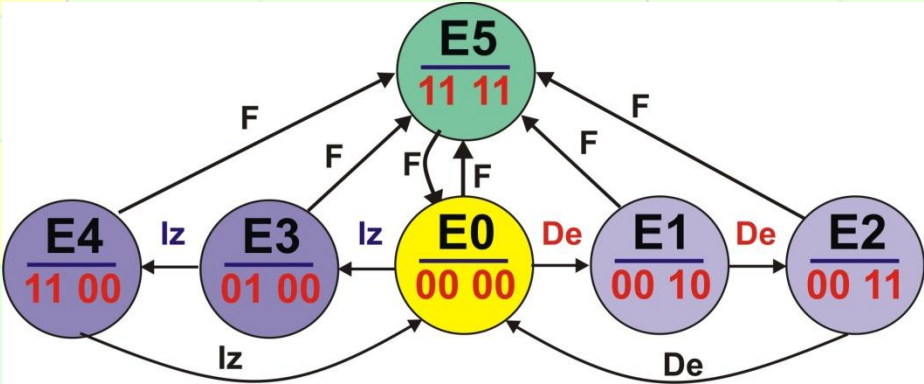


Tabla de estados

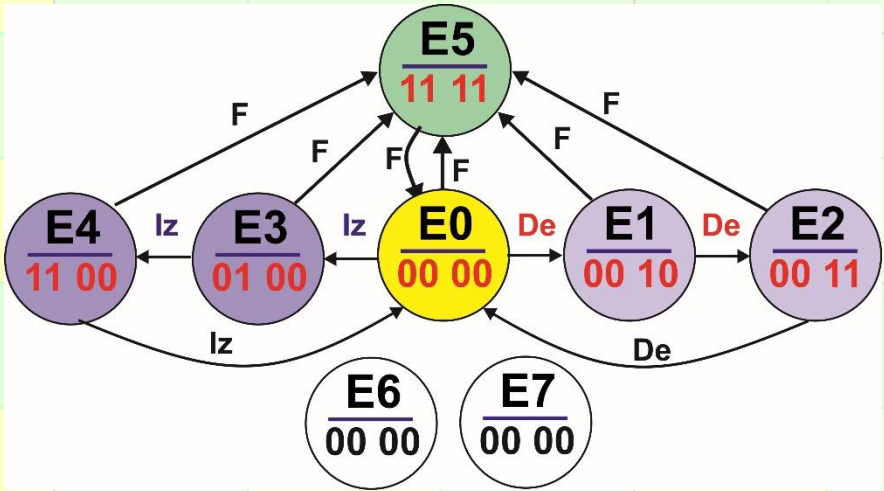


**6 estados
E0 a E5**

3 Flip Flops

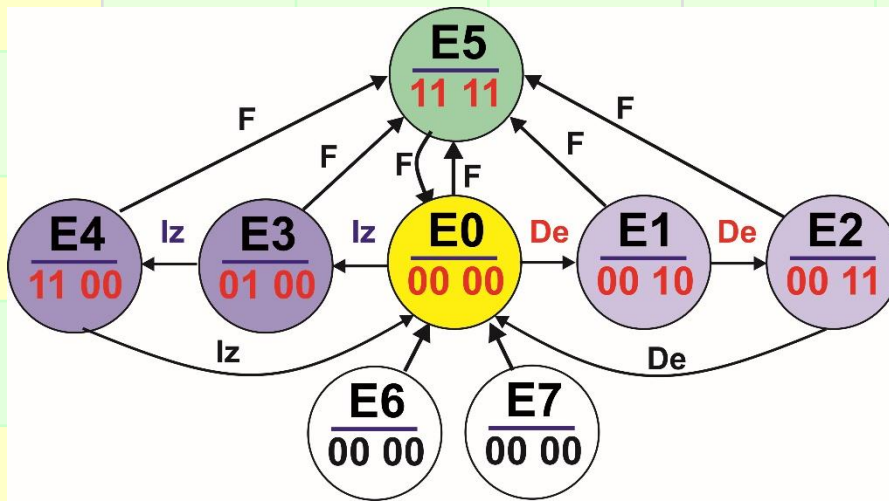


	Q2	Q1	Q0
E0	0	0	0
E1	0	0	1
E2	0	1	0
E3	0	1	1
E4	1	0	0
E5	1	0	1



	Q2	Q1	Q0
E0	0	0	0
E1	0	0	1
E2	0	1	0
E3	0	1	1
E4	1	0	0
E5	1	0	1
E6	1	1	0
E7	1	1	1

1.- Diagrama de transición

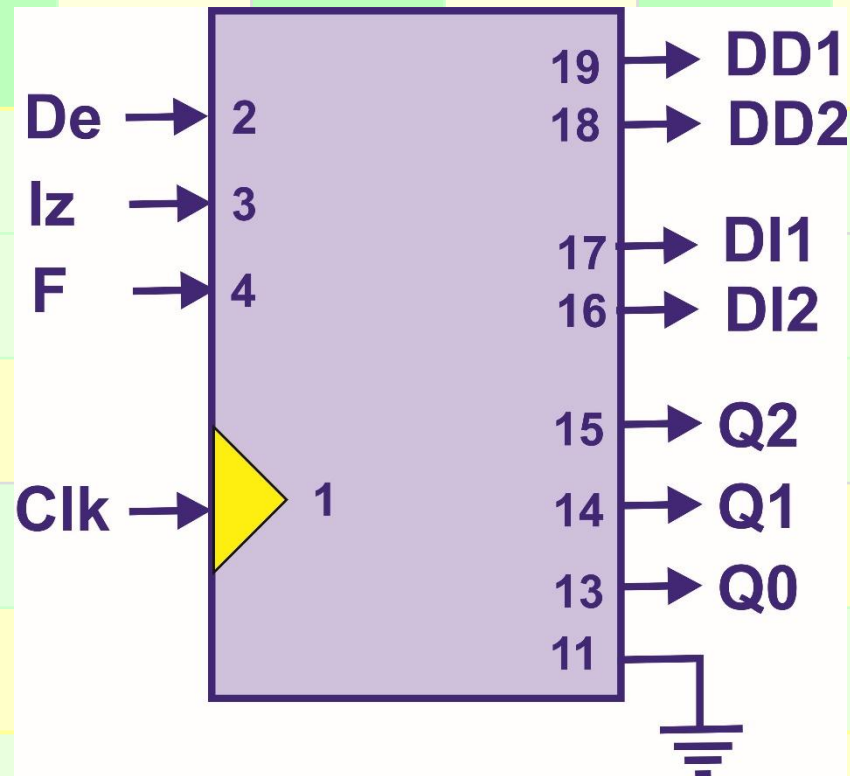


Otra opción es no tomarlos en cuenta
y usar Rst

2.- Tres Flip Flops Q2, Q1, Q0

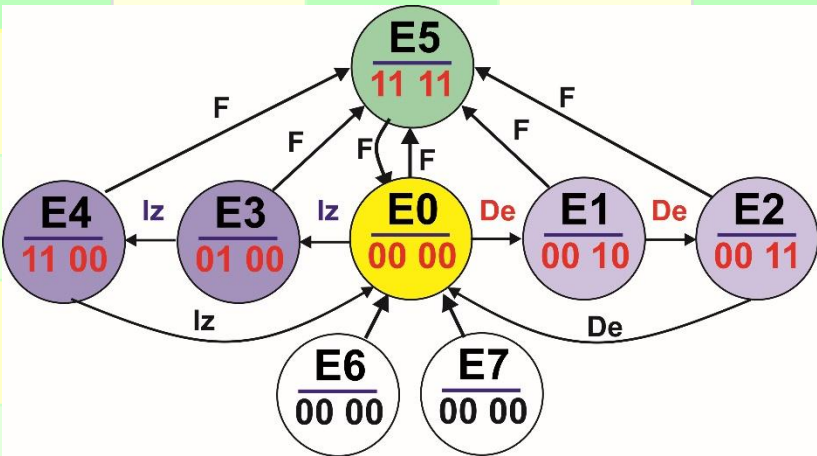
	Q2	Q1	Q0
E0	0	0	0
E1	0	0	1
E2	0	1	0
E3	0	1	1
E4	1	0	0
E5	1	0	1
E6	1	1	0
E7	1	1	1

3.- Asignación de valores a los estados



4.- Diagrama de bloques Entradas y salidas

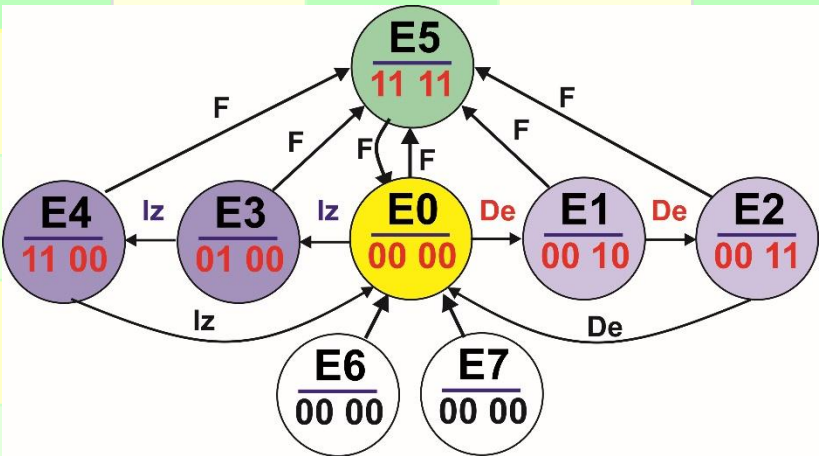
Tabla de estado siguiente



Al oprimir el botón de Flash se activará una secuencia intermitente de encender y apagar todas las luces **y no importa si están activadas las direccionales.**

		Estado Siguiente							
Entradas	F	0	0	0	0	1	1	1	1
	De	0	0	1	1	0	0	1	1
	Iz	0	1	0	1	0	1	0	1
Estado Presente	E0								
	E1								
	E2								
	E3								
	E4								
	E5								
	E6								
	E7								

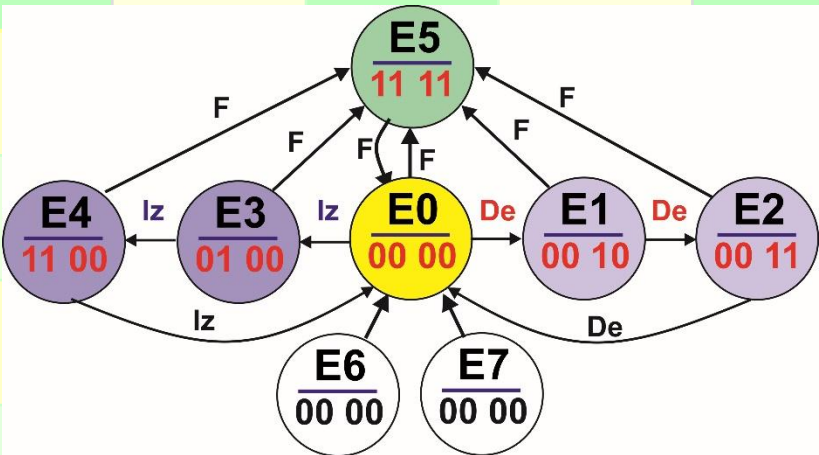
Tabla de estado siguiente



Al oprimir el botón de Flash se activará una secuencia intermitente de encender y apagar todas las luces **y no importa si están activadas las direccionales.**

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0					
	E1					
	E2					
	E3					
	E4					
	E5					
	E6					
	E7					

Tabla de estado siguiente

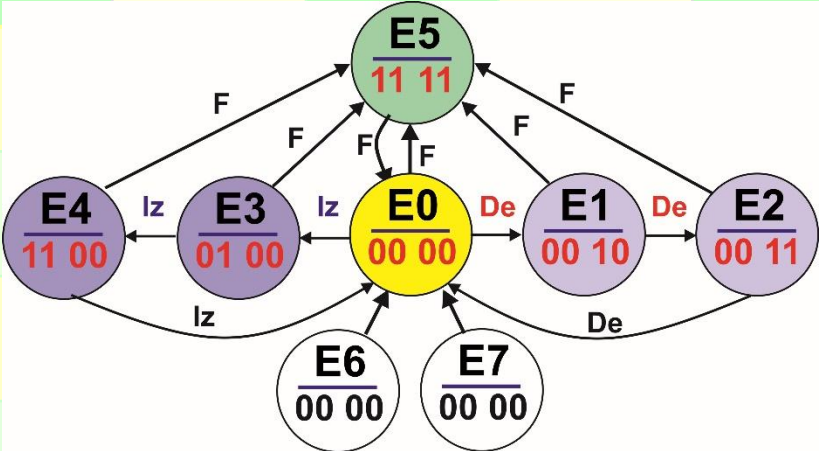


Al oprimir el botón de Flash se activará una secuencia intermitente de encender y apagar todas las luces **y no importa si están activadas las direccionales.**

F=1, De=0, Iz=0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0					E5
	E1					E5
	E2					E5
	E3					E5
	E4					E5
	E5					?
	E6					
	E7					

Tabla de estado siguiente

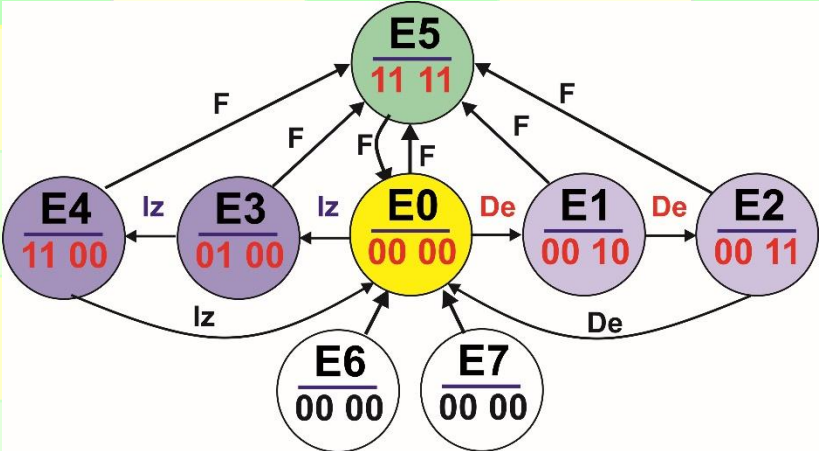


Al oprimir el botón de Flash se activará una secuencia intermitente de encender y apagar todas las luces **y no importa si están activadas las direccionales.**

F=1, De=0, Iz=0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0					E5
	E1					E5
	E2					E5
	E3					E5
	E4					E5
	E5					E0
	E6					E0
	E7					E0

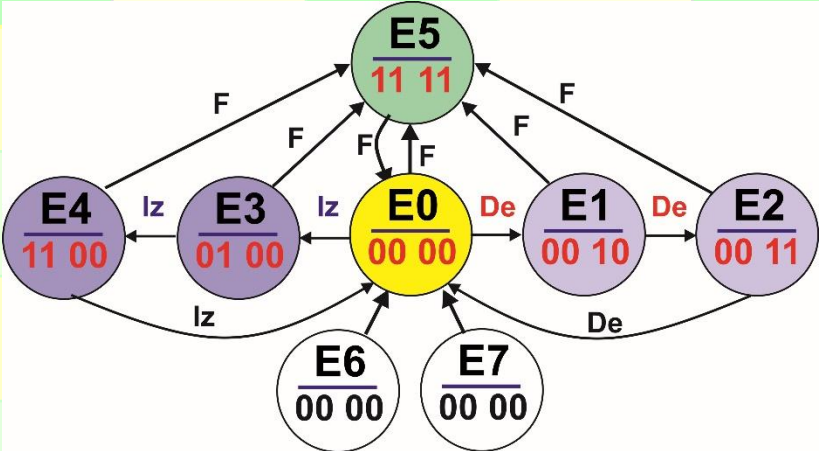
Tabla de estado siguiente



Cual seria el estado siguiente si:
La entrada fuera
F=0, De=0, Iz=0
Estando en cualquier estado

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	?				E5
	E1	?				E5
	E2	?				E5
	E3	?				E5
	E4	?				E5
	E5	?				E0
	E6	?				E0
	E7	?				E0

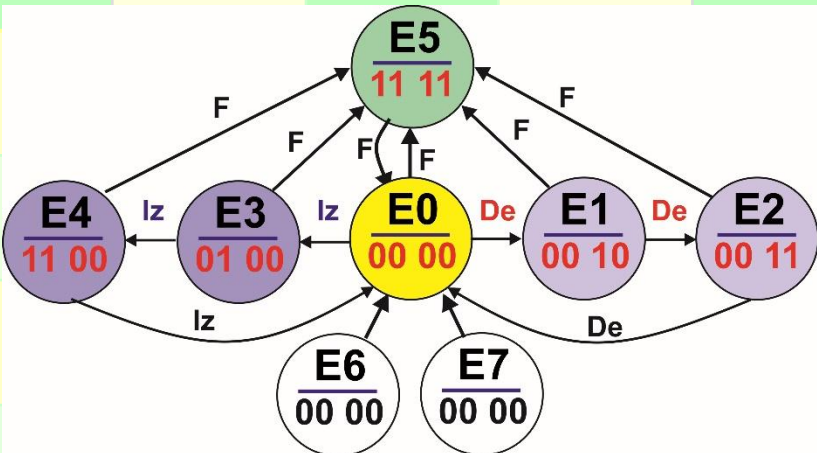
Tabla de estado siguiente



Cual seria el estado siguiente si:
La entrada fuera
F=0, De=0, Iz=0
Estando en cualquier estado

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0				E5
	E1	E0				E5
	E2	E0				E5
	E3	E0				E5
	E4	E0				E5
	E5	E0				E0
	E6	E0				E0
	E7	E0				E0

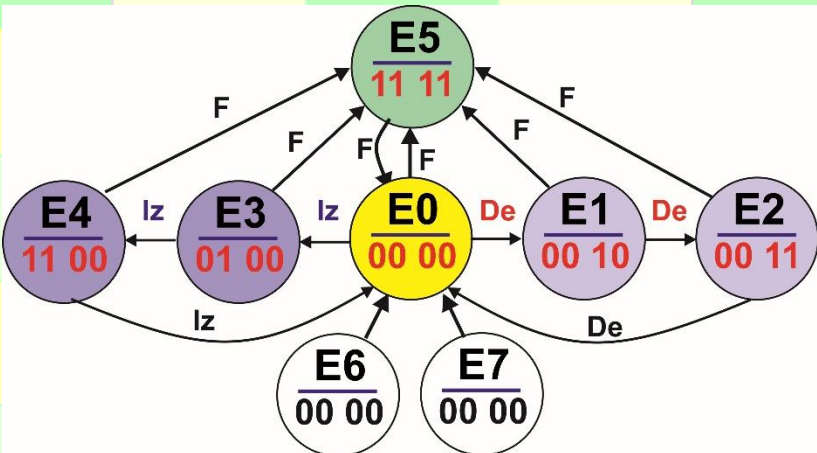
Tabla de estado siguiente



Secuencia Derecha
F=0, De=1, Iz=0
Partiendo de E0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0		E1		E5
	E1	E0		E2		E5
	E2	E0		E0		E5
	E3	E0				E5
	E4	E0				E5
	E5	E0				E0
	E6	E0				E0
	E7	E0				E0

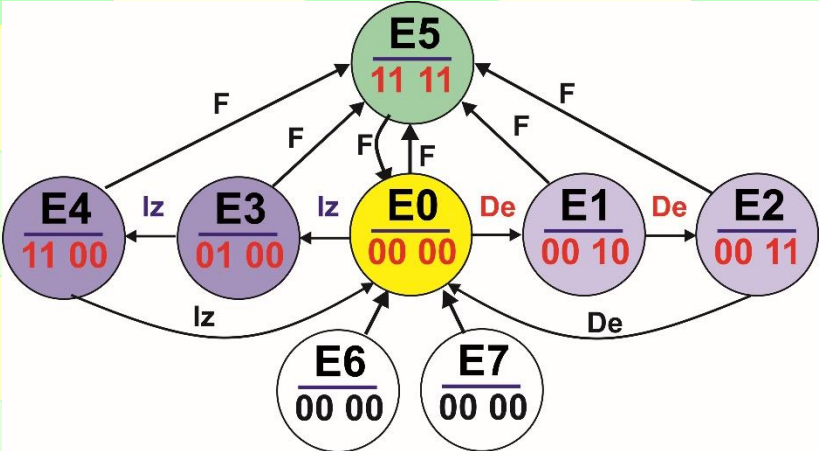
Tabla de estado siguiente



Secuencia Izquierda
F=0, De=0, **Iz=1**
Partiendo de E0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1		E5
	E1	E0		E2		E5
	E2	E0		E0		E5
	E3	E0	E4			E5
	E4	E0	E0			E5
	E5	E0				E0
	E6	E0				E0
	E7	E0				E0

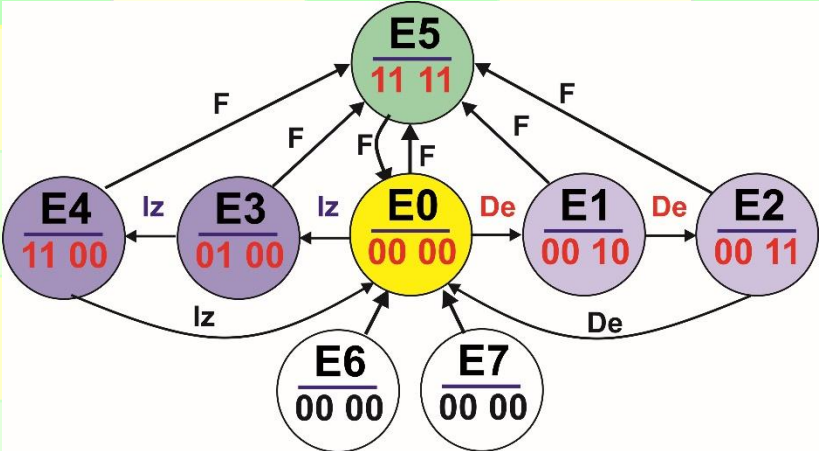
Tabla de estado
siguiente



Secuencia Izquierda
F=0, De=0, **Iz=1**
Partiendo de E0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1		E5
	E1	E0		E2		E5
	E2	E0		E0		E5
	E3	E0	E4			E5
	E4	E0	E0			E5
	E5	E0				E0
	E6	E0				E0
	E7	E0				E0

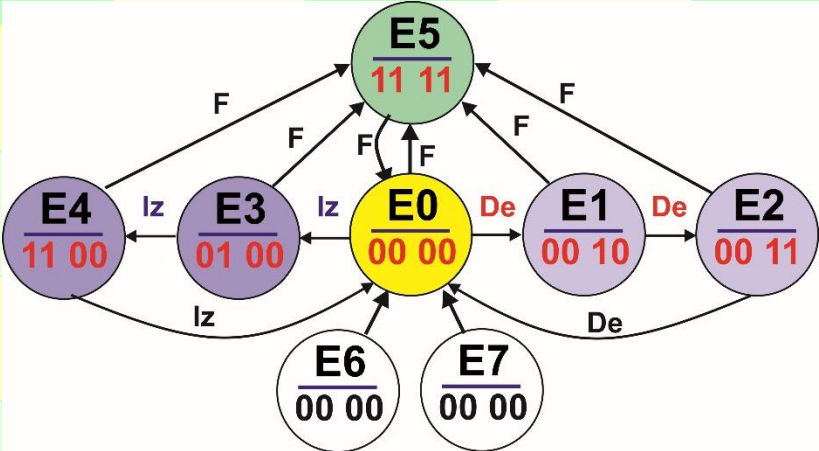
Tabla de estado siguiente



Poco probable
F=0, De=1, Iz=1

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1		E5
	E1	E0		E2		E5
	E2	E0		E0		E5
	E3	E0	E4			E5
	E4	E0	E0			E5
	E5	E0				E0
	E6	E0				E0
	E7	E0				E0

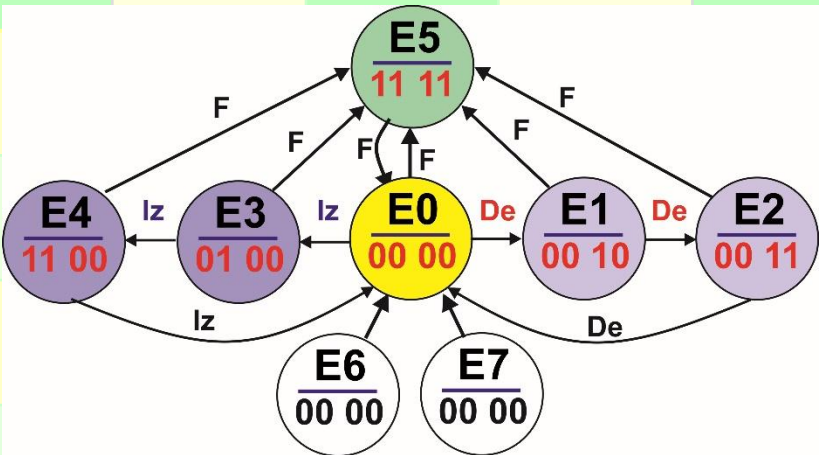
Tabla de estado siguiente



Poco probable
F=0, De=1, Iz=1

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0		E2	E0	E5
	E2	E0		E0	E0	E5
	E3	E0	E4		E0	E5
	E4	E0	E0		E0	E5
	E5	E0			E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

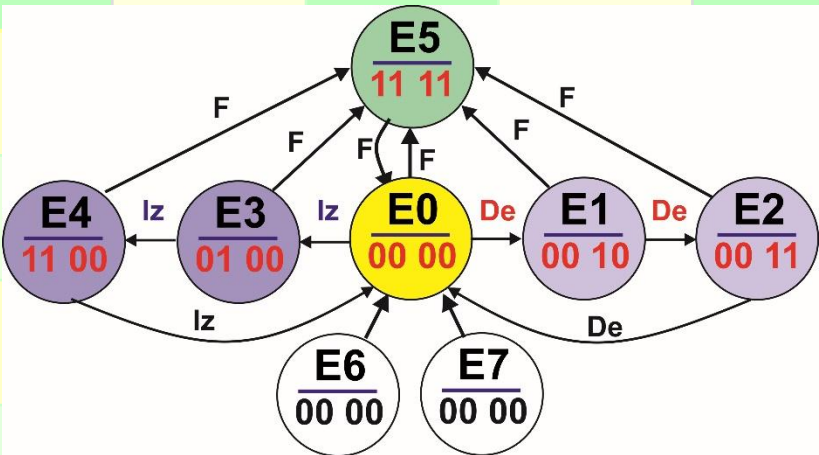
Tabla de estado siguiente



Cambio de dirección
Estando en E1 o E2 (derecha)
Pasar a Izquierda
F=0, De=0, **Iz=1**

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4		E0	E5
	E4	E0	E0		E0	E5
	E5	E0			E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

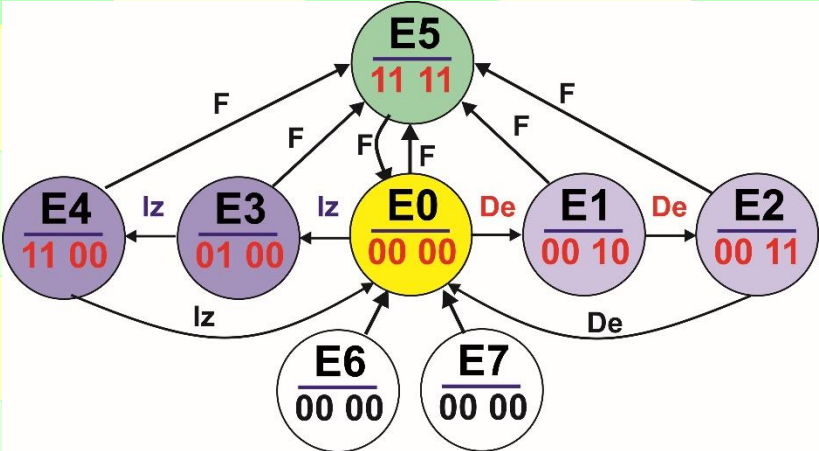
Tabla de estado siguiente



Cambio de dirección
Estando en E3 o E4 (izquierda)
Pasar a Derecha
F=0, De=1, Iz=0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0			E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

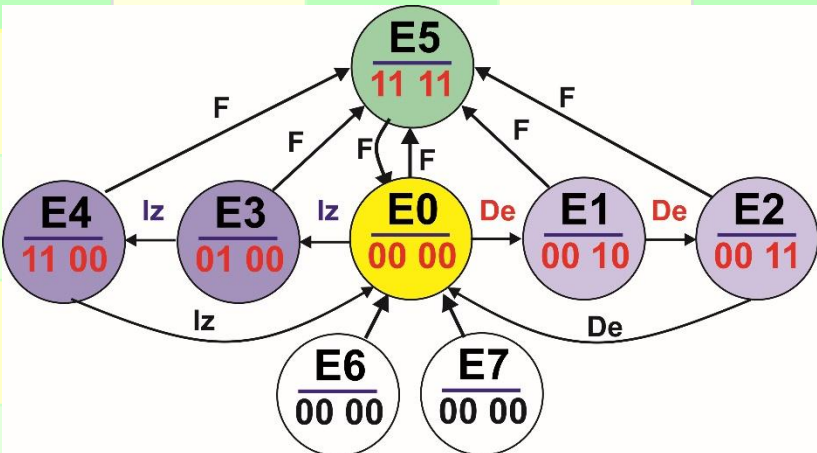
Tabla de estado
siguiente



Del Flash a Derecha
Estando en E5 si se desactiva F
Pasar a Derecha
F=0, **De=1**, Iz=0

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0		E2	E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

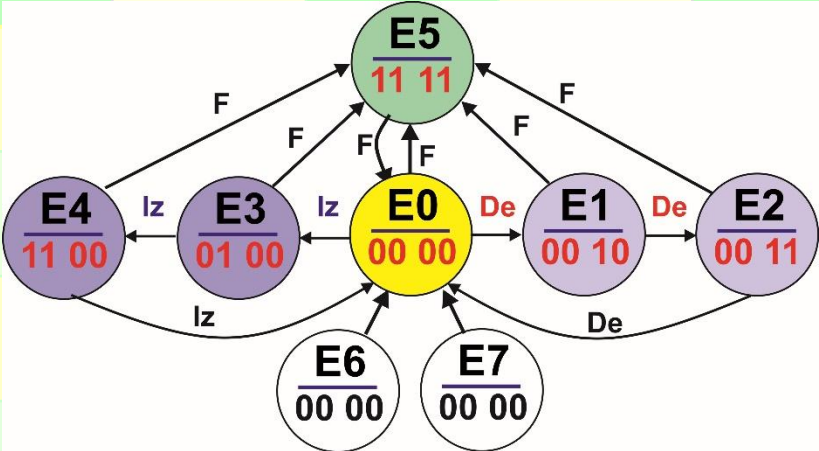
Tabla de estado siguiente



Del Flash a Izquierda
Estando en E5 si se desactiva F
Pasar a Derecha
F=0, De=0, **Iz=1**

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0	E4	E2	E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

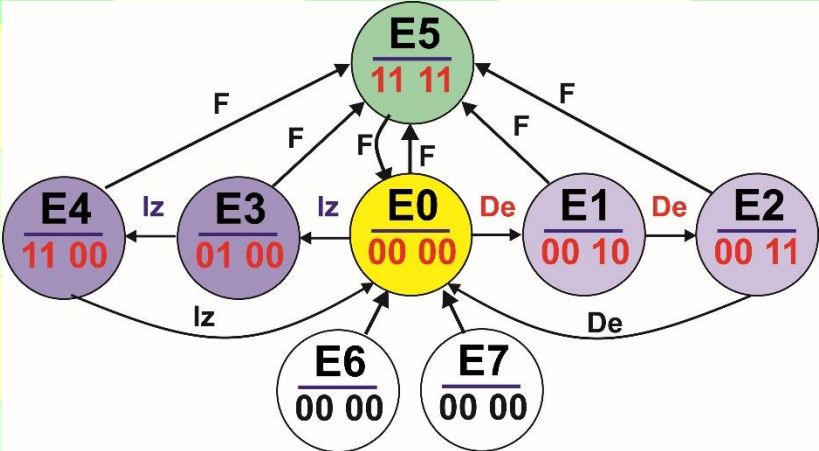
Tabla de estado
siguiente



Estados E6 y E7

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0	E4	E2	E0	E0
	E6	E0			E0	E0
	E7	E0			E0	E0

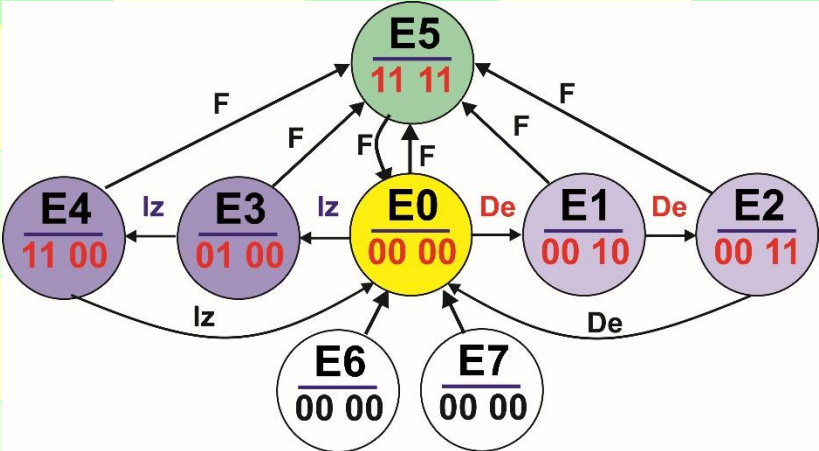
Tabla de estado siguiente



Estados E6 y E7

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0	E4	E2	E0	E0
	E6	E0	E0	E0	E0	E0
	E7	E0	E0	E0	E0	E0

Tabla de estado siguiente



5.- Tabla de estado siguiente completa

		Estado Siguiente				
Entradas	F	0	0	0	0	1
	De	0	0	1	1	X
	Iz	0	1	0	1	X
Estado Presente	E0	E0	E3	E1	E0	E5
	E1	E0	E4	E2	E0	E5
	E2	E0	E4	E0	E0	E5
	E3	E0	E4	E2	E0	E5
	E4	E0	E0	E2	E0	E5
	E5	E0	E4	E2	E0	E0
	E6	E0	E0	E0	E0	E0
	E7	E0	E0	E0	E0	E0

EP	Estado Siguiente					Salidas				Flip Flops		
F	0	0	0	0	1							
De	0	0	1	1	X	DD1	DD2	DI1	DI2	Q2	Q1	Q0
Iz	0	1	0	1	X							
E0	E0	E3	E1	E0	E5	0	0	0	0	0	0	0
E1	E0	E4	E2	E0	E5	1	0	0	0	0	0	1
E2	E0	E4	E0	E0	E5	1	1	0	0	0	1	0
E3	E0	E4	E2	E0	E5	0	0	1	0	0	1	1
E4	E0	E0	E2	E0	E5	0	0	1	1	1	0	0
E5	E0	E4	E2	E0	E0	1	1	1	1	1	0	1
E6	E0	E0	E0	E0	E0	0	0	0	0	1	1	0
E7	E0	E0	E0	E0	E0	0	0	0	0	1	1	1

6.- Archivo ABEL-HDL

MODULE direcc

"Reloj

CLK,RST PIN 1,5;

" variables de Entrada

De,Iz,F PIN 2,3,4;

"Salidas Combinacionales

DD1,DD2,DI1,DI2 PIN 23..20 **istype** 'com';

" Salidas Registradas FF's

Q2..Q0 PIN 16..14 **istype** 'reg';

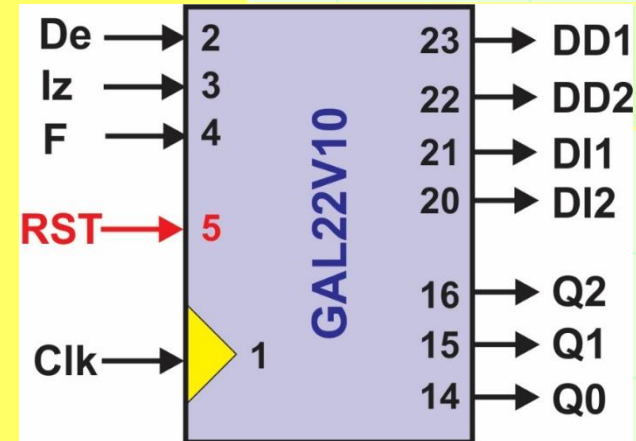
DECLARATIONS

Sinc=[Q2..Q0];

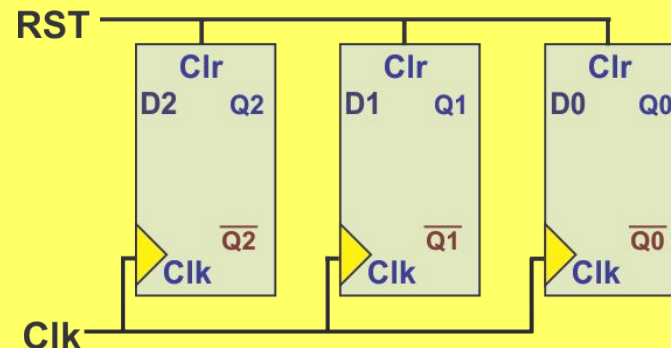
EQUATIONS

Sinc.clk=CLK;

Sinc.ar=RST;



Sincronización y
Asynchronous Reset AR



Archivo ABEL-HDL

c).- Asignar valores a los estados

DECLARATIONS

E0 = [0,0,0];

E1 = [0,0,1];

E2 = [0,1,0];

E3 = [0,1,1];

E4 = [1,0,0];

E5 = [1,0,1];

E6 = [1,1,0];

E7 = [1,1,1];

	Q2	Q1	Q0
E0	0	0	0
E1	0	0	1
E2	0	1	0
E3	0	1	1
E4	1	0	0
E5	1	0	1
E6	1	1	0
E7	1	1	1

Archivo ABEL-HDL

State_diagram Sinc

State E0:

DD1=0; DD2=0;

DI1=0; DI2=0;

If **!F** & **!De** & **!Iz** Then E0;

If **!F** & **!De** & **Iz** Then E3;

If **!F** & **De** & **!Iz** Then E1;

If **!F** & **De** & **Iz** Then E0;

If **F** Then E5;

d).- definir secuencia E0

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E4	E2	E0	E5
E2	E0	E4	E0	E0	E5
E3	E0	E4	E2	E0	E5
E4	E0	E0	E2	E0	E5
E5	E0	E4	E2	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E1:

DD1=1; DD2=0;

DI1=0; DI2=0;

If !F & !De & !Iz Then E0;

If !F & !De & Iz Then E4;

If !F & De & !Iz Then E2;

If !F & De & Iz Then E0;

If F Then E5;

d).- definir secuencia E1

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E4	E2	E0	E5
E2	E0	E4	E0	E0	E5
E3	E0	E4	E2	E0	E5
E4	E0	E0	E2	E0	E5
E5	E0	E4	E2	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E2:

DD1=1; DD2=1;

DI1=0; DI2=0;

If !F & !De & !Iz Then E0;

If !F & !De & Iz Then E4;

If !F & De & !Iz Then E0;

If !F & De & Iz Then E0;

If F Then E5;

d).- definir secuencia E2

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E4	E2	E0	E5
E2	E0	E4	E0	E0	E5
E3	E0	E4	E2	E0	E5
E4	E0	E0	E2	E0	E5
E5	E0	E4	E2	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E3:

DD1=0; DD2=0;

DI1=1; DI2=0;

If !F & !De & !Iz Then E0;

If !F & !De & Iz Then E4;

If !F & De & !Iz Then E2;

If !F & De & Iz Then E0;

If F Then E5;

d).- definir secuencia E3

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E4	E2	E0	E5
E2	E0	E0	E0	E0	E5
E3	E0	E4	E2	E0	E5
E4	E0	E0	E2	E0	E5
E5	E0	E4	E2	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E4:

DD1=0; DD2=0;

DI1=1; DI2=1;

If !F & !De & !Iz Then E0;

If !F & !De & Iz Then E0;

If !F & De & !Iz Then E2;

If !F & De & Iz Then E0;

If F Then E5;

d).- definir secuencia E4

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E0	E2	E0	E5
E2	E0	E0	E0	E0	E5
E3	E0	E4	E0	E0	E5
E4	E0	E0	E2	E0	E5
E5	E0	E0	E0	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E5:

DD1=1; DD2=1;

DI1=1; DI2=1;

If !F & !De & !Iz Then E0;

If !F & !De & Iz Then E4;

If !F & De & !Iz Then E2;

If !F & De & Iz Then E0;

If F Then E0;

d).- definir secuencia E5

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E0	E2	E0	E5
E2	E0	E0	E0	E0	E5
E3	E0	E4	E0	E0	E5
E4	E0	E0	E0	E0	E5
E5	E0	E4	E2	E0	E0
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

Archivo ABEL-HDL

State E6:

DD1=0; DD2=0;

DI1=0; DI2=0;

GOTO E0;

State E7:

DD1=0; DD2=0;

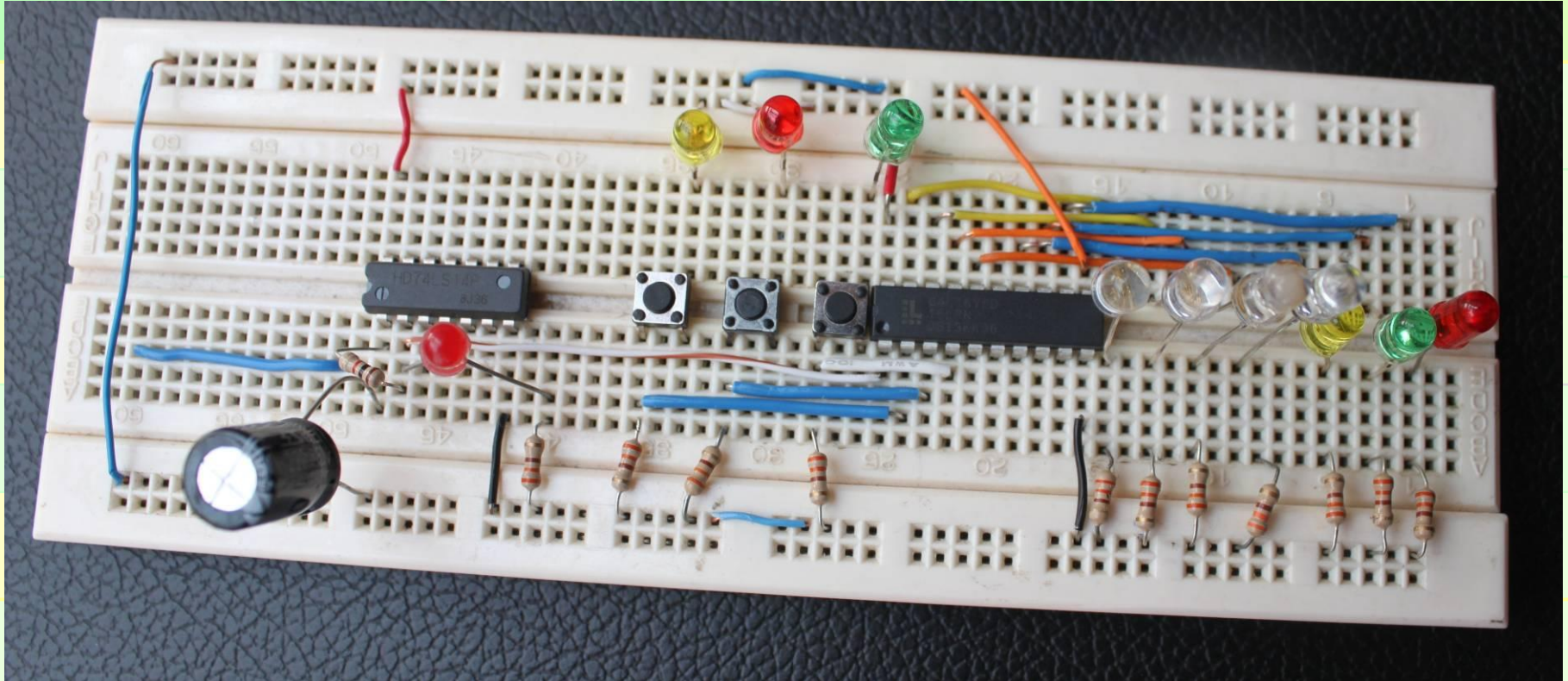
DI1=0; DI2=0;

GOTO E0;

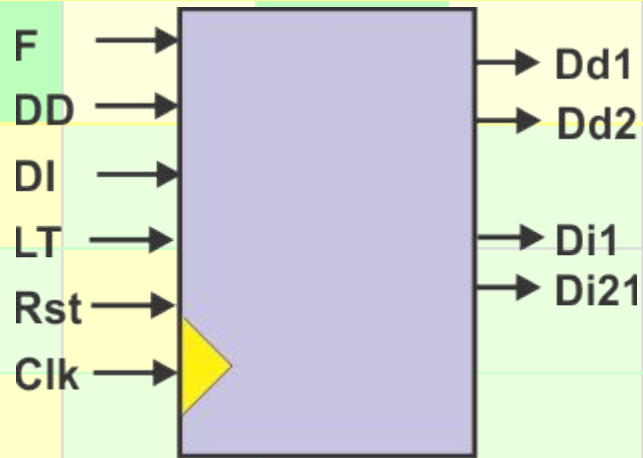
d).- definir secuencia E6 y E7

F	0	0	0	0	1
De	0	0	1	1	X
Iz	0	1	0	1	X
E0	E0	E3	E1	E0	E5
E1	E0	E0	E2	E0	E5
E2	E0	E0	E0	E0	E5
E3	E0	E4	E0	E0	E5
E4	E0	E0	E0	E0	E5
E5	E0	E4	E2	E0	E5
E6	E0	E0	E0	E0	E0
E7	E0	E0	E0	E0	E0

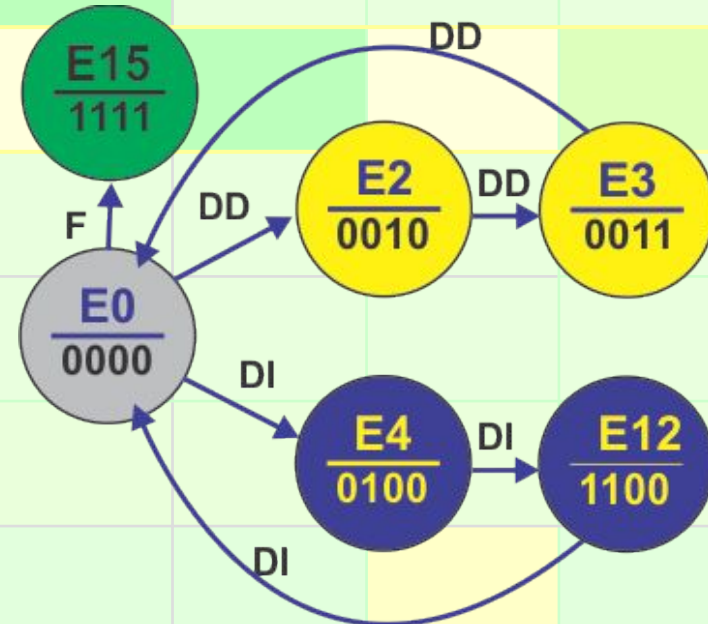
7.- Implementación

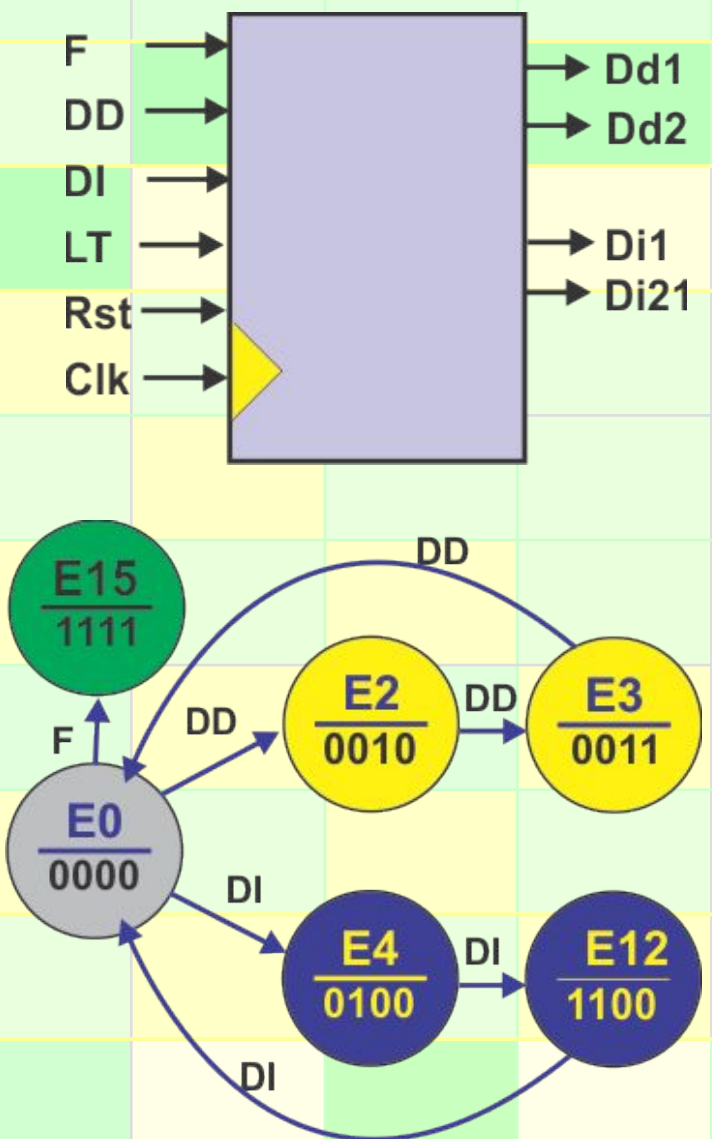


Utilizando solo salidas registradas



	Dd1	Dd2	Di1	Di2
E0	0	0	0	0
E2	0	0	1	0
E3	0	0	1	1
E4	0	1	0	0
E12	1	1	0	0
E15	1	1	1	1





EP	Estado Siguiente					Salidas Registradas			
F	0	0	0	0	1	Di2Di1Dd1Dd2			
De	0	0	1	1	X				
Iz	0	1	0	1	X				
E0	E0	E4	E2	E0	E15	0	0	0	0
E2	E0	E12	E3	E0	E15	0	0	1	0
E3	E0	E12	E0	E0	E15	0	0	1	1
E4	E0	E12	E3	E0	E15	0	1	0	0
E12	E0	E0	E3	E0	E15	1	1	0	0
E15	E0	E4	E3	E0	E0	1	1	1	1

MODULE direcQ

"Reloj

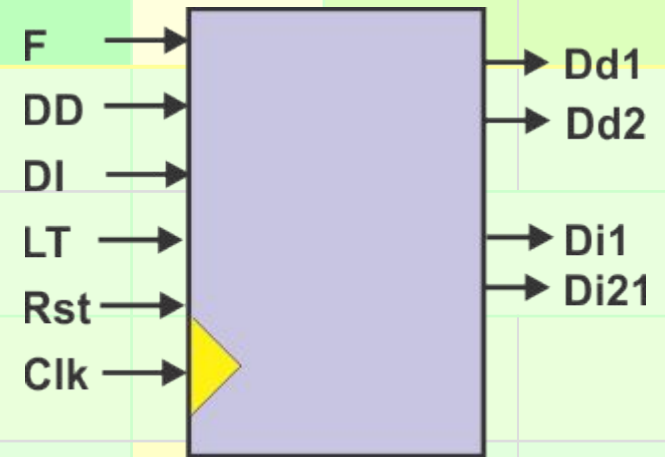
CLK,**RST**,**LT** PIN 1,**5**,**6**;

" variables de Entrada

De,Iz,F PIN 2,3,4;

"Salidas Registradas FF's

DD2,DD1,DI1,DI2 PIN 23..20 **istype** 'reg';



Sinc=[DD2,DD1,DI1,DI2];

EQUATIONS

Sinc.clk=CLK;

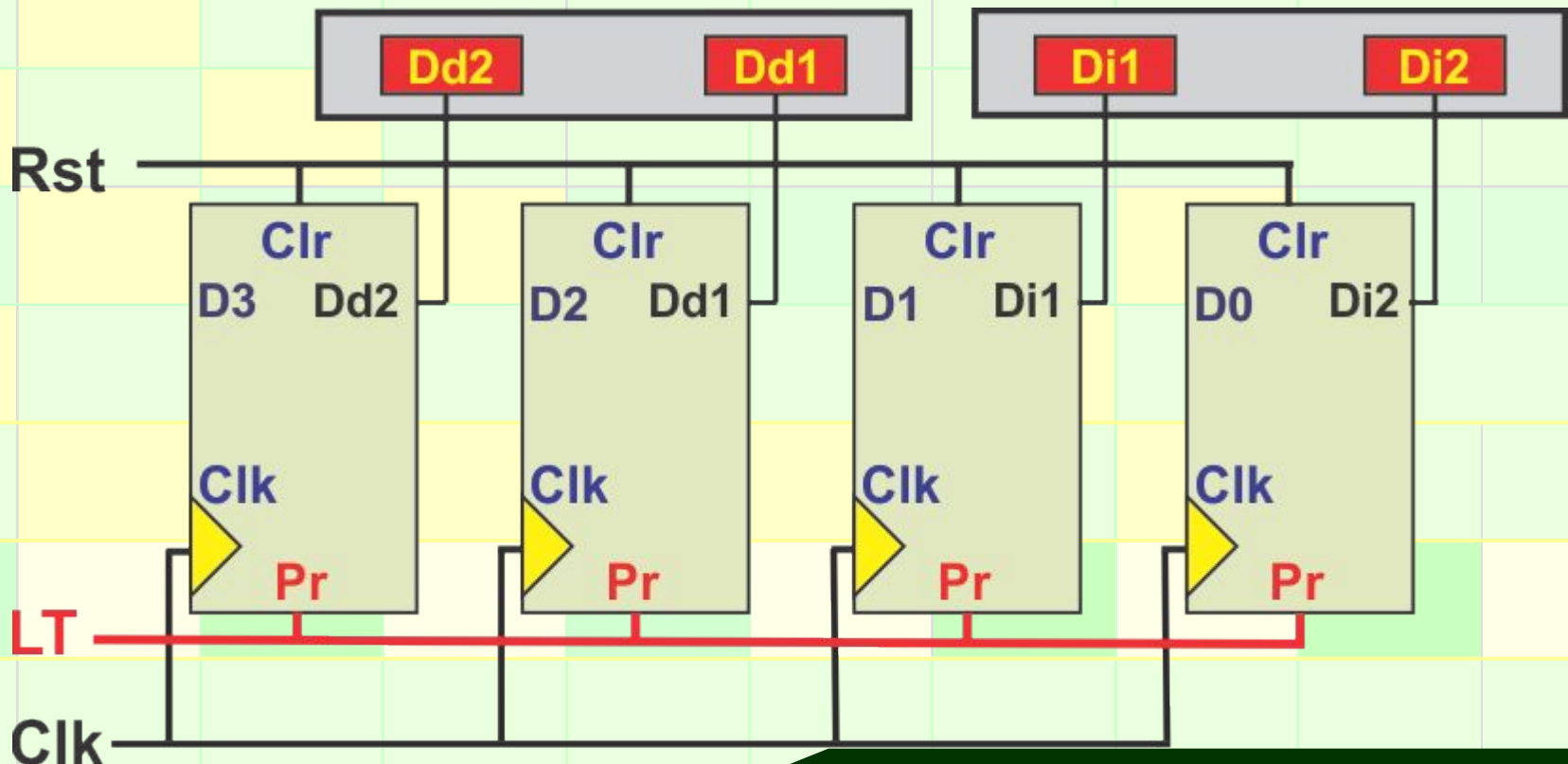
Sinc.ar=RST;

Sinc=[DD2,DD1,DI1,DI2];

EQUATIONS

Sinc.clk=CLK;

Sinc.sp=LT;



DECLARATIONS

$E0 = [0,0,0,0];$

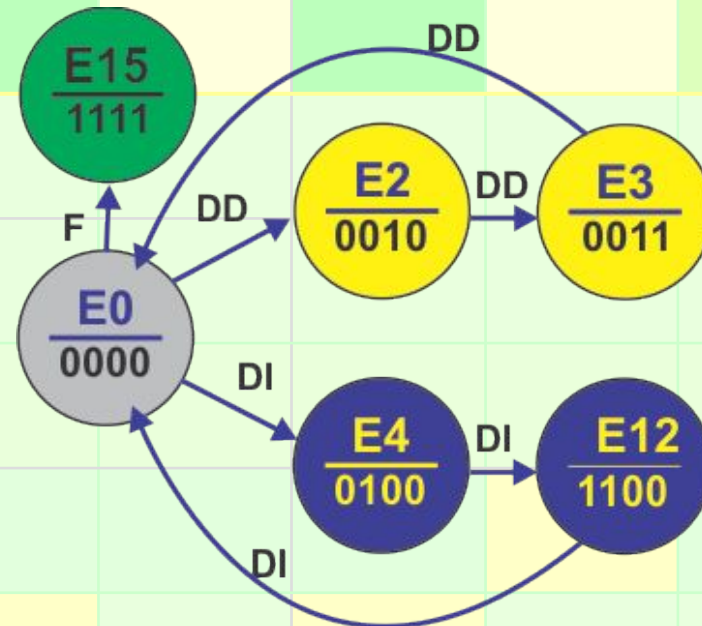
$E2 = [0,0,1,0];$

$E3 = [0,0,1,1];$

$E4 = [0,1,0,0];$

$E12 = [1,1,0,0];$

$E15 = [1,1,1,1];$



State_diagram Sinc

State E0:

If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E4;
If !F & De & !Iz Then E2;
If !F & De & Iz Then E0;
If F Then E15;

State E2:

If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E12;
If !F & De & !Iz Then E3;
If !F & De & Iz Then E0;
If F Then E15;

EP	Estado Siguiente					Salidas Registradas			
F	0	0	0	0	1	Di2Di1Dd1Dd2			
De	0	0	1	1	X				
Iz	0	1	0	1	X				
E0	E0	E4	E2	E0	E15	0	0	0	0
E2	E0	E12	E3	E0	E15	0	0	1	0
E3	E0	E12	E0	E0	E15	0	0	1	1
E4	E0	E12	E3	E0	E15	0	1	0	0
E12	E0	E0	E3	E0	E15	1	1	0	0
E15	E0	E4	E3	E0	E0	1	1	1	1

State E3:

If !F & !De & !Iz Then E0;
 If !F & !De & Iz Then E12;
 If !F & De & !Iz Then E0;
 If !F & De & Iz Then E0;
 If F Then E15;

State E4:

If !F & !De & !Iz Then E0;
 If !F & !De & Iz Then E12;
 If !F & De & !Iz Then E3;
 If !F & De & Iz Then E0;
 If F Then E15;

EP	Estado Siguiente					Salidas Registradas			
F	0	0	0	0	1	Di2Di1Dd1Dd2			
De	0	0	1	1	X				
Iz	0	1	0	1	X				
E0	E0	E4	E2	E0	E15	0	0	0	0
E2	E0	E12	E3	E0	E15	0	0	1	0
E3	E0	E12	E0	E0	E15	0	0	1	1
E4	E0	E12	E3	E0	E15	0	1	0	0
E12	E0	E0	E3	E0	E15	1	1	0	0
E15	E0	E4	E3	E0	E0	1	1	1	1

State E12:
If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E0;
If !F & De & !Iz Then E3;
If !F & De & Iz Then E0;
If F Then E15;

State E15:
If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E4;
If !F & De & !Iz Then E3;
If !F & De & Iz Then E0;
If F Then E0;

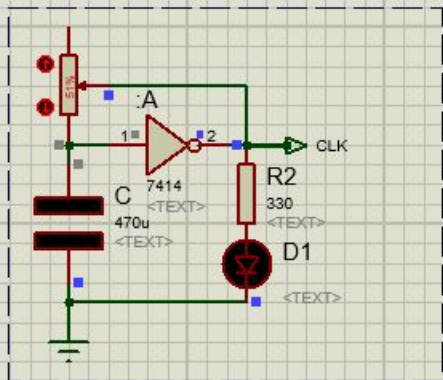
EP	Estado Siguiente					Salidas Registradas			
F	0	0	0	0	1	Di2Di1Dd1Dd2			
De	0	0	1	1	X				
Iz	0	1	0	1	X				
E0	E0	E4	E2	E0	E15	0	0	0	0
E2	E0	E12	E3	E0	E15	0	0	1	0
E3	E0	E12	E0	E0	E15	0	0	1	1
E4	E0	E12	E3	E0	E15	0	1	0	0
E12	E0	E0	E3	E0	E15	1	1	0	0
E15	E0	E4	E3	E0	E0	1	1	1	1

State E6:
If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E12;
If !F & De & !Iz Then E3;
If !F & De & Iz Then E0;
If F Then E15;

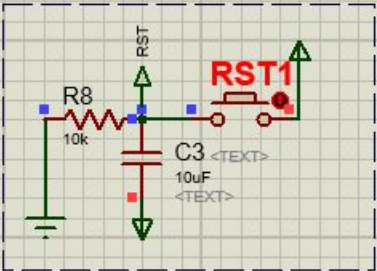
State E9:
If !F & !De & !Iz Then E0;
If !F & !De & Iz Then E12;
If !F & De & !Iz Then E3;
If !F & De & Iz Then E0;
If F Then E6;

EP	Estado Siguiente					Salidas Registradas			
F	0	0	0	0	1	Di2Di1Dd1Dd2			
De	0	0	1	1	X				
Iz	0	1	0	1	X				
E0	E0	E4	E2	E0	E9	0	0	0	0
E2	E0	E12	E3	E0	E9	0	0	1	0
E3	E0	E12	E0	E0	E9	0	0	1	1
E4	E0	E12	E3	E0	E9	0	1	0	0
E6	E0	E12	E3	E0	E15	0	1	1	0
E9	E0	E12	E3	E0	E6	1	0	0	1
E12	E0	E0	E3	E0	E15	1	1	0	0
E15	E0	E4	E3	E0	E0	1	1	1	1

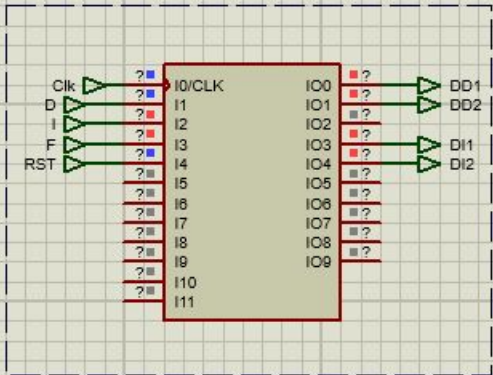
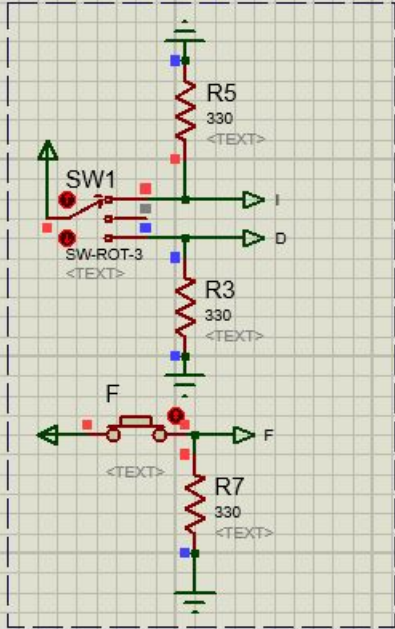
Generador de pulsos



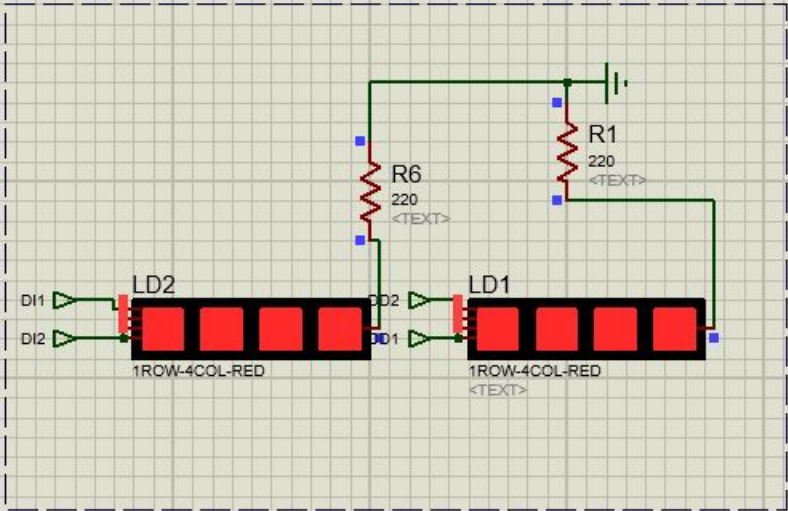
Condiciones iniciales



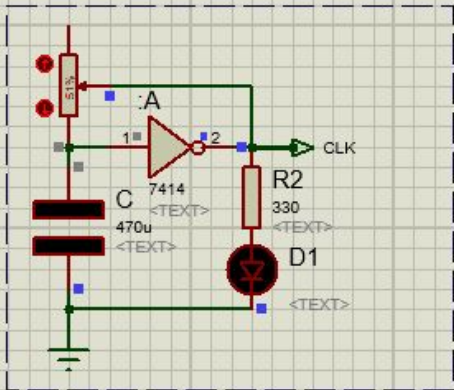
Entradas



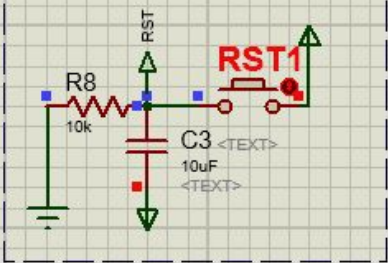
Salidas Registradas



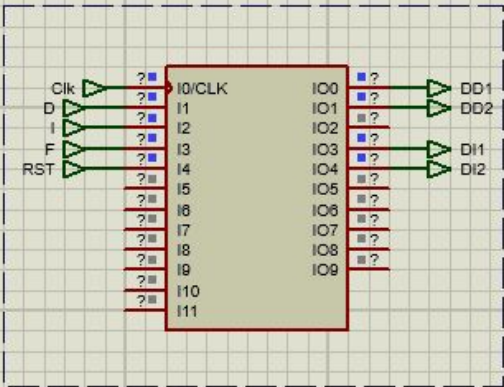
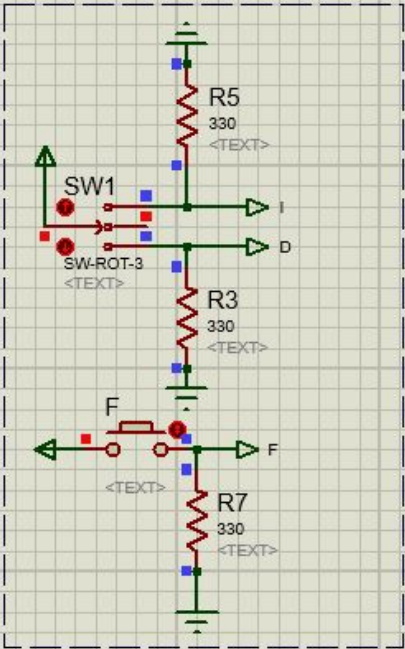
Generador de pulsos



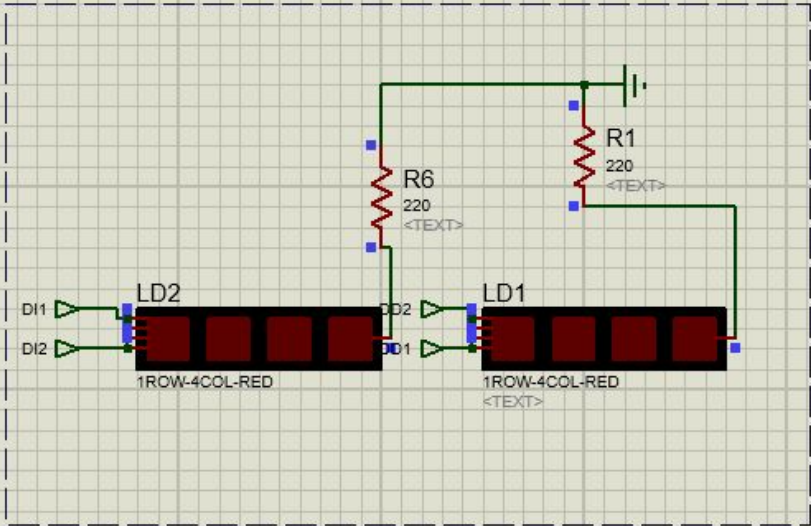
Condiciones iniciales



Entradas



Salidas Registradas



- Redacción al Diagrama de transición (Planteamiento del diseño)
- Tabla de estado siguiente (**Lista de cotejo**) simplificada
- Diseño usando Salidas Combinacionales (**dependiendo el no de estados**)
- Diseño candidato a usar solo FFs (**sin salidas combinacionales**)
- Uso del Rst Asíncrono (**FF.AR=Rst**)
- Uso del Preset síncrono (**FF.sp=LT**)

Luces traseras de una camioneta SUV (Sport Utility Vehicle)

Diseño secuencial síncrono utilizando como salidas solo los FF's



luces traseras de una camioneta SUV

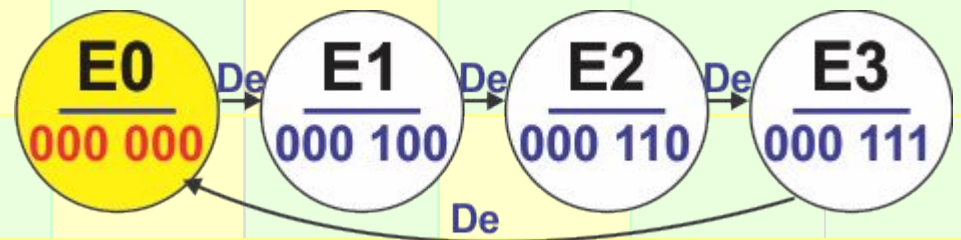


Diseñe y efectuó la simulación de un sistema secuencial síncrono que controle las luces traseras de una camioneta SUV

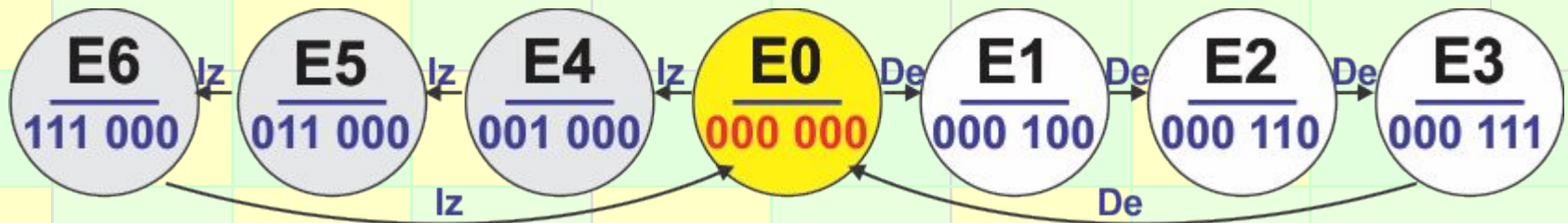
La camioneta consta de seis luces traseras tres del lado derecho De3, De2, y Del y tres del lado izquierdo Iz3, Iz2, e Iz1.

El sistema deberá de tener seis entradas:

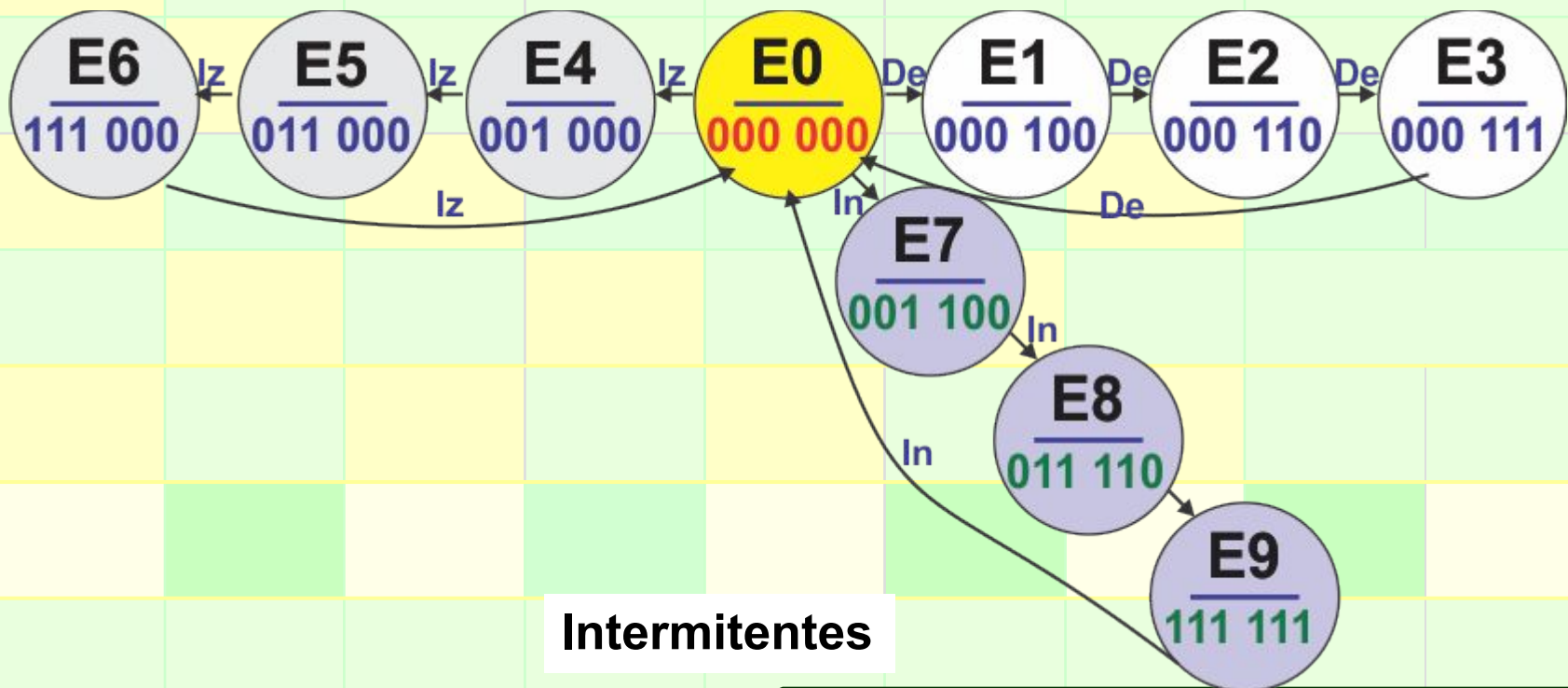
Dd, Di, In, F, Rst y Clk.



Direccional Derecha



Direccional Izquierda



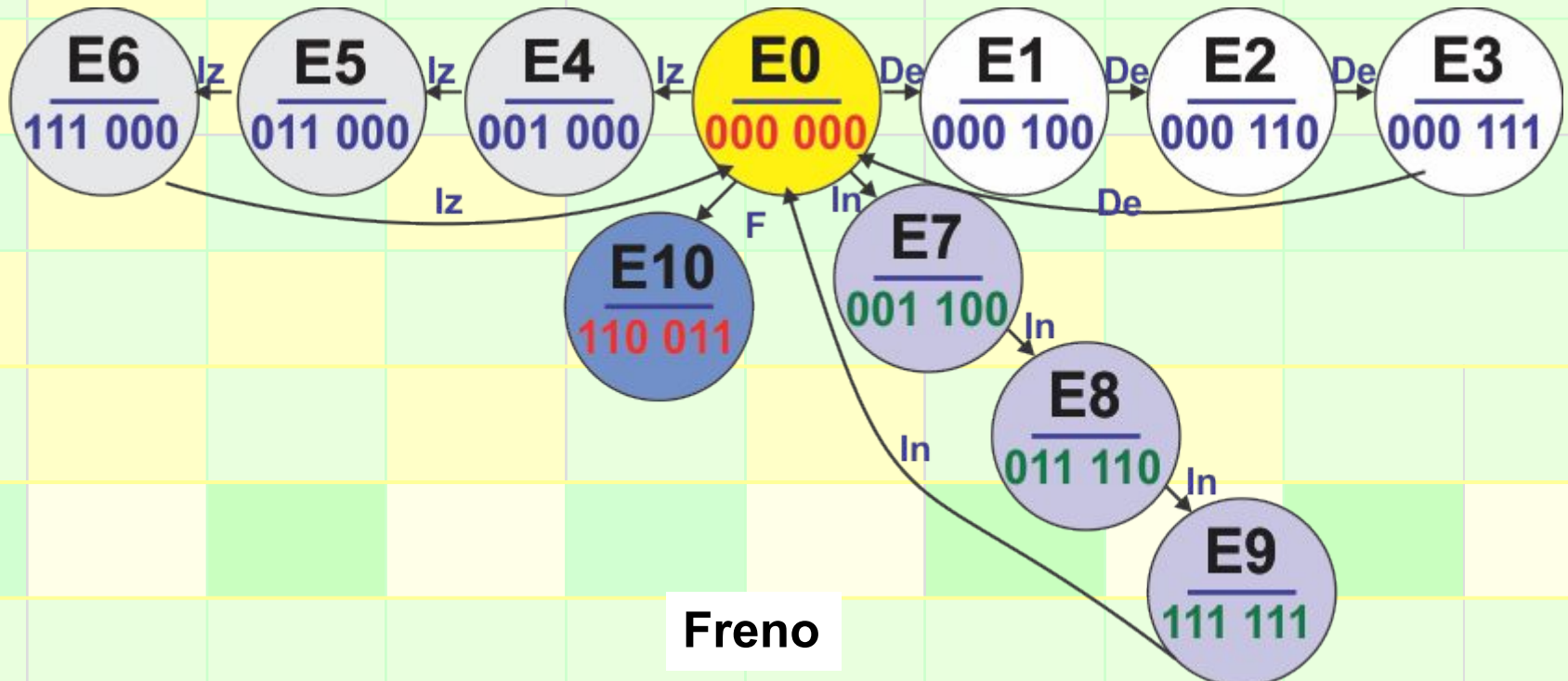
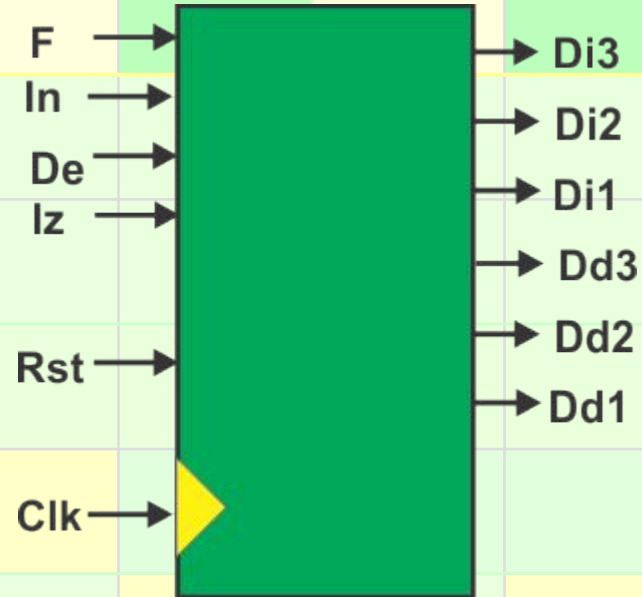


Diagrama de bloques



Actividad en clase

Llenar en equipo los estados próximos de la siguiente tabla según el diagrama de transición y su criterio, utilice el archivo compartido en el grupo de Teams

EP	Estado Siguiente							Salidas registradas					
LT	0	0	0	0	0	0	1	Di3	Di2	Di1	Dd1	Dd2	Dd2
F	0	0	0	0	0	1	X						
In	0	0	0	0	1	X	X						
De	0	0	1	1	X	X	X						
Iz	0	1	0	1	X	X	X						
E0								0	0	0	0	0	0
E1								0	0	0	1	0	0
E2								0	0	0	1	1	0
E3								0	0	0	1	1	1
E4								0	0	1	0	0	0
E5								0	1	1	0	0	0
E6								1	1	1	0	0	0
E7								0	0	1	1	0	0
E8								0	1	1	1	1	0
E9								1	1	1	1	1	1
E10								1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0						0	0	0	0	0	0
E1	E0						0	0	0	1	0	0
E2	E0						0	0	0	1	1	0
E3	E0						0	0	0	1	1	1
E4	E0						0	0	1	0	0	0
E5	E0						0	1	1	1	0	0
E6	E0						1	1	1	0	0	0
E7	E0						0	0	1	1	0	0
E8	E0						0	1	1	1	1	0
E9	E0						1	1	1	1	1	1
E10	E0						1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0					E10	0	0	0	1	0	0
E2	E0					E10	0	0	0	1	1	0
E3	E0					E10	0	0	0	1	1	0
E4	E0					E10	0	0	1	0	0	0
E5	E0					E10	0	1	1	1	0	0
E6	E0					E10	1	1	1	0	0	0
E7	E0					E10	0	0	1	1	0	0
E8	E0					E10	0	1	1	1	1	0
E9	E0					E10	1	1	1	1	1	1
E10	E0					E10	1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0			E0		E10	0	0	0	1	0	0
E2	E0			E0		E10	0	0	0	1	1	0
E3	E0			E0		E10	0	0	0	1	1	0
E4	E0			E0		E10	0	0	1	0	0	0
E5	E0			E0		E10	0	1	1	1	0	0
E6	E0			E0		E10	1	1	1	0	0	0
E7	E0			E0		E10	0	0	1	1	0	0
E8	E0			E0		E10	0	1	1	1	1	0
E9	E0			E0		E10	1	1	1	1	1	1
E10	E0			E0		E10	1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0			E0	E7	E10	0	0	0	1	0	0
E2	E0			E0	E7	E10	0	0	0	1	1	0
E3	E0			E0	E7	E10	0	0	0	1	1	0
E4	E0			E0	E7	E10	0	0	1	0	0	0
E5	E0			E0	E7	E10	0	1	1	1	0	0
E6	E0			E0	E7	E10	1	1	1	0	0	0
E7	E0			E0	E8	E10	0	0	1	1	0	0
E8	E0			E0	E9	E10	0	1	1	1	1	0
E9	E0			E0	E0	E10	1	1	1	1	1	1
E10	E0			E0	E7	E10	1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0		E2	E0	E7	E10	0	0	0	1	0	0
E2	E0		E3	E0	E7	E10	0	0	0	1	1	0
E3	E0		E0	E0	E7	E10	0	0	0	1	1	0
E4	E0			E0	E7	E10	0	0	1	0	0	0
E5	E0			E0	E7	E10	0	1	1	1	0	0
E6	E0			E0	E7	E10	1	1	1	0	0	0
E7	E0			E0	E8	E10	0	0	1	1	0	0
E8	E0			E0	E9	E10	0	1	1	1	1	0
E9	E0			E0	E0	E10	1	1	1	1	1	1
E10	E0			E0	E7	E10	1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0		E2	E0	E7	E10	0	0	0	1	0	0
E2	E0		E3	E0	E7	E10	0	0	0	1	1	0
E3	E0		E0	E0	E7	E10	0	0	0	1	1	0
E4	E0	E5		E0	E7	E10	0	0	1	0	0	0
E5	E0	E6		E0	E7	E10	0	1	1	1	0	0
E6	E0	E0		E0	E7	E10	1	1	1	0	0	0
E7	E0			E0	E8	E10	0	0	1	1	0	0
E8	E0			E0	E9	E10	0	1	1	1	1	0
E9	E0			E0	E0	E10	1	1	1	1	1	1
E10	E0			E0	E7	E10	1	1	0	0	1	1

EP	Estado Siguiente						Salidas Registradas					
F	0	0	0	0	0	1						
In	0	0	0	0	1	X						
De	0	0	1	1	X	X						
Iz	0	1	0	1	X	X	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	E0	E4	E1	E0	E7	E10	0	0	0	0	0	0
E1	E0	E5	E2	E0	E7	E10	0	0	0	1	0	0
E2	E0	E5	E3	E0	E7	E10	0	0	0	1	1	0
E3	E0	E5	E0	E0	E7	E10	0	0	0	1	1	0
E4	E0	E5	E2	E0	E7	E10	0	0	1	0	0	0
E5	E0	E6	E2	E0	E7	E10	0	1	1	1	0	0
E6	E0	E0	E2	E0	E7	E10	1	1	1	0	0	0
E7	E0	E5	E2	E0	E8	E10	0	0	1	1	0	0
E8	E0	E5	E2	E0	E9	E10	0	1	1	1	1	0
E9	E0	E5	E2	E0	E0	E10	1	1	1	1	1	1
E10	E0	E5	E2	E0	E7	E10	1	1	0	0	1	1

Código ABEL-HDL

```
MODULE autom
```

```
Clk,DD,DI,I,F,Rst pin 1..6;
```

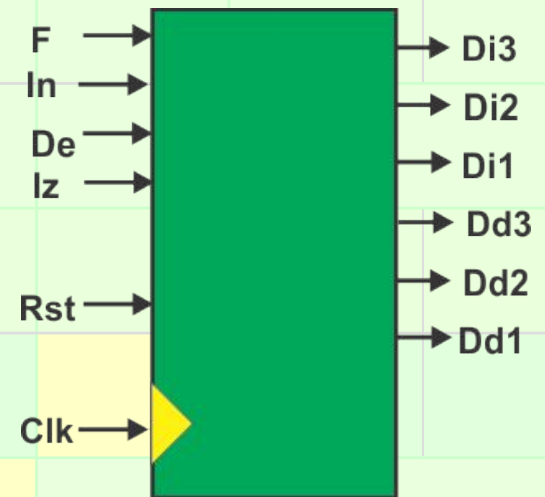
```
I3,I2,I1,D1,D2,D3 pin 23..18 istype 'reg';
```

```
UANL =[I3,I2,I1,D1,D2,D3];
```

```
equations
```

```
UANL.clk=Clk;
```

```
UANL.ar=Rst;
```



Código ABEL-HDL

declarations

```
E0=[0,0,0,0,0,0];  
E1=[0,0,0,1,0,0];  
E2=[0,0,0,1,1,0];  
E3=[0,0,0,1,1,1];  
E4=[0,0,1,0,0,0];  
E5=[0,1,1,0,0,0];  
E6=[1,1,1,0,0,0];  
E7=[0,0,1,1,0,0];  
E8=[0,1,1,1,1,0];  
E9=[1,1,1,1,1,1];  
E10=[1,1,0,0,1,1];
```

	Di3	Di2	Di1	Dd1	Dd2	Dd2
E0	0	0	0	0	0	0
E1	0	0	0	1	0	0
E2	0	0	0	1	1	0
E3	0	0	0	1	1	0
E4	0	0	1	0	0	0
E5	0	1	1	1	0	0
E6	1	1	1	0	0	0
E7	0	0	1	1	0	0
E8	0	1	1	1	1	0
E9	1	1	1	1	1	1
E10	1	1	0	0	1	1

Código ABEL-HDL

```
state_diagram UANL
state E0:
IF !F & !! & !DD & !DI then E0;
IF !F & !! & !DD & DI then E4;
IF !F & !! & DD & !DI then E1;
IF !F & !! & DD & DI then E0;
IF !F & I then E7;
IF F then E10;
```

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E1:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E7;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E2:

IF **!F** & **!!** & **!DD** & **!DI** then E0;

IF **!F** & **!!** & **!DD** & **DI** then E5;

IF **!F** & **!!** & **DD** & **!DI** then E3;

IF **!F** & **!!** & **DD** & **DI** then E0;

IF **!F** & **I** then E7;

IF **F** then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E3:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E0;

IF !F & !I & DD & DI then E0;

IF !F & I then E7;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E4:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E7;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E5:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E6;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E7;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E6:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E0;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E7;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E7:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E8;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E8:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E9;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E9:

IF !F & !I & !DD & !DI then E0;

IF !F & !I & !DD & DI then E5;

IF !F & !I & DD & !DI then E2;

IF !F & !I & DD & DI then E0;

IF !F & I then E0;

IF F then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

Código ABEL-HDL

State E10:

IF **!F** & **!!** & **!DD** & **!DI** then E0;

IF **!F** & **!!** & **!DD** & **DI** then E5;

IF **!F** & **!!** & **DD** & **!DI** then E2;

IF **!F** & **!!** & **DD** & **DI** then E0;

IF **!F** & **I** then E7;

IF **F** then E10;

EP	Estado Siguiente					
F	0	0	0	0	0	1
In	0	0	0	0	1	X
De	0	0	1	1	X	X
Iz	0	1	0	1	X	X
E0	E0	E4	E1	E0	E7	E10
E1	E0	E5	E2	E0	E7	E10
E2	E0	E5	E3	E0	E7	E10
E3	E0	E5	E0	E0	E7	E10
E4	E0	E5	E2	E0	E7	E10
E5	E0	E6	E2	E0	E7	E10
E6	E0	E0	E2	E0	E7	E10
E7	E0	E5	E2	E0	E8	E10
E8	E0	E5	E2	E0	E9	E10
E9	E0	E5	E2	E0	E0	E10
E10	E0	E5	E2	E0	E7	E10

